

BNSDOCID: <WO___9844687A1.1>

(57)要約

SOI基板に容量性の絶縁バリヤを有する絶縁カプラを形成すること、及びDSP動作クロックを利用して、DSPとAFEと絶縁カプラのタイミングの同期をとることにより、回線インターフェース回路をモノリシック化する。これにより、小形で経済的なモデム装置が実現できる。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AL	アルバニア	FI	フィンランド	LR	リベリア	SK	スロヴァキア
AM	アルメニア	FR	フランス	LS	レソト	SL	シエラ・レオネ
AT	オーストリア	GA	ガボン	LT	リトアニア	SN	セネガル
AU	オーストラリア	GB	英国	LU	ルクセンブルグ	SZ	スワジランド
AZ	アゼルバイジャン	GD	グレナダ	LV	ラトヴィア	TD	チャード
BA	ボスニア・ヘルツェゴビナ	GE	グルジア	MC	モナコ	TG	トーゴ
BB	バルバドス	GH	ガーナ	MD	モルドヴァ	TJ	タジキスタン
BE	ベルギー	GM	ガンビア	MG	マダガスカル	TM	トルクメニスタン
BF	ブルキナ・ファソ	GN	ギニア	MK	マケドニア旧ユーゴスラヴィア	TR	トルコ
BG	ブルガリア	GW	ギニア・ビサウ		共和国	TT	トリニダード・トバゴ
BJ	ベナン	GR	ギリシャ	ML	マリ	UA	ウクライナ
BR	ブラジル	HR	クロアチア	MN	モンゴル	UG	ウガンダ
BY	ベラルーシ	HU	ハンガリー	MR	モーリタニア	US	米国
CA	カナダ	ID	インドネシア	MW	マラウイ	UZ	ウズベキスタン
CF	中央アフリカ	IE	アイルランド	MX	メキシコ	VN	ヴェトナム
CG	コンゴ	IL	イスラエル	NE	ニジェール	YU	ユーゴスラビア
CH	スイス	IS	アイスランド	NL	オランダ	ZW	ジンバブエ
CI	コートジボアール	IT	イタリア	NO	ノルウェー		
CM	カメルーン	JP	日本	NZ	ニュージーランド		
CN	中国	KE	ケニア	PL	ポーランド		
CU	キューバ	KG	キルギスタン	PT	ポルトガル		
CY	キプロス	KP	北朝鮮	RO	ルーマニア		
CZ	チェコ	KR	韓国	RU	ロシア		
DE	ドイツ	KZ	カザフスタン	SD	スーダン		
DK	デンマーク	LC	セントルシア	SE	スウェーデン		
EE	エストニア	LI	リヒテンシュタイン	SG	シンガポール		
ES	スペイン	LK	スリ・ランカ	SI	スロヴェニア		

明細書

容量性絶縁バリヤを用いるモデム装置及び絶縁カプラ並びにモデム装置に用いられる集積回路

5 技術分野

本発明は、半導体素子、半導体素子上に形成したキャパシタ、特に高電圧を印加しても、素子を破壊せず危険電圧が二次側に通過しない高耐圧のキャパシタである絶縁バリヤ、この絶縁バリヤを用いて電気信号を伝達する絶縁カプラあるいはアイソレータあるいは絶縁アンプ

- 10 (以下、絶縁カプラと称す)、及び、絶縁カプラを用いた応用回路、特にモデム装置等の回線インターフェイス回路及びそのIC、及び、これらを用いたモデム装置及びシステムに関する。

背景技術

- 15 通信分野では、公共性の高いネットワーク設備の保護と端末の保護のために、ネットワークと端末の境界(以下、回線インターフェイスと称す)に高い絶縁性を要求しており、従来から絶縁性の高い通信用の小型トランスが使われてきた。しかし、パーソナル端末の普及発展に伴いポータブル端末用として更なる小型化及び軽量化が要求されて
- 20 おり、トランスに使用する材料や構造の改良では小型化の要求に十分答えられない問題が出てきて、絶縁カプラの応用が検討されている。

また、計測、医療などの用途では、センサと信号処理回路など、信号検出部分と信号処理部分とを絶縁する必要がある場合があり、絶縁カプラは、このような場合に、絶縁分離手段として知られている。

- 25 これらは、信号電圧が100mV程度であるのに対して、商用電源が接触する場合も想定しているのでコモンモード雑音電圧は100Vあるいはそれ以上の電圧が加わる場合がある。これらの点から絶縁カ

ブラと回線インターフェイスは、高耐圧、小型化、低価格化という観点で共通的な課題がある。

絶縁カプラは、絶縁トランスの機能そのものでもあるが、信号伝達時に雑音の混入する問題があり、例えば、商用電源からの大きなコモンモード雑音電圧が加わると小信号伝送用のトランスでは信号伝送の用をなさない場合があり、専用のパルストランスを用いたトランス型絶縁カプラが使われている。また、絶縁トランスを用いた絶縁カプラは、一般にその実装形態が大きくなり、また、高価になりがちである。

これを改善するために、発光素子と受光素子を組み合わせた光カプラを用いた絶縁増幅器が考案された。しかし、光カプラ型絶縁増幅器は、温度などで特性が変化しやすく、高精度化のために、発光受光ダイオードの数や配置、回路等の改善が提案されているが、高価である。また、ユーザーからは、更に小型化の要求があるが、特に、モノリシック半導体化しようとする、シリコン半導体プロセス以外に発光、受光用の他の物質の半導体プロセスが必要で、何種類もの製造プロセスを使用することにより著しく高価になることが予想され現実的には実現出来ない。

小型化、高信頼化、低価格化の目的で、容量性絶縁カプラが開発されている。絶縁バリヤを構成する個別部品としての高耐圧のキャパシタ技術は電力用あるいはサージ保護用セラミックキャパシタが知られており、これを用いた信号伝送用の回路ブロックは容量性絶縁アンプまたは容量性絶縁カプラと呼ばれ、1970年代から使われている。

容量性絶縁バリヤを通じて信号を伝送する際の伝送方式には、主にPWM方式（パルス幅変調方式あるいはデューティ制御方式と呼ばれる）が使われるが、PWM技術は、この容量性絶縁カプラに使われる以前に、絶縁トランスや光カプラを用いた絶縁バリヤの構成技術とし

て知られている。

容量性絶縁カプラでは、さらに、小型化、低価格化、高信頼化を目的として、セラミック基板上に形成した小容量キャパシタの絶縁バリヤとフローティングコンパレータを用いて、デューティサイクル変調
5 方式の絶縁増幅器が提案されている。また、さらに小型化するために容量値を下げる提案があり、約1ないし3 pFと小さい絶縁バリヤを用いて伝達波形を微分波形とし、微分波形からFM（周波数変調）やPWM変調波形を再生してから、復調する絶縁増幅器の技術が提案されている。

10 モデム等の回線インターフェイス応用では、USP4, 757, 528

[Thermally coupled Information transmission across electrical Isolation boundaries.]（以下528特許と称す）及びISSCC86 conference record THPM14.3（以下“発表”と称す）で

15 Scott L. Falater (Harris Semiconductor) らは、容量性絶縁バリヤを用いたモノリシック半導体化のアイディアについて開示している。

また、モノリシック化ではないが、特開平7-307708号公報では、3つの容量性絶縁バリヤとこれを用いたデジタルPWM信号伝送のモデム応用回路方式が提案されている。

20 今後、これらの回路は、さらに、小型化、低価格化の要求があり、この観点で、これら従来技術を検討すると以下のような課題と問題点がある。

528特許以前の技術は、高耐圧性能を有する絶縁バリヤと、入力信号を受けてPWM波形を作成する入力回路と、PWM波形を再生し
25 復調する出力回路とは別部品であり、これらを組み合わせて実装し、1つの絶縁カプラとして構成している。例えば、セラミック基板上に容量性絶縁バリヤを構成し、同一パッケージ上に、2つ以上の半導体

チップを実装して、絶縁カプラを構成している。つまり、多くの部品を使用した構成になっている。

また、528特許及び発表では、モノリシック半導体で応用回路である回線インターフェイスを構成するアイデアとして、原理となる回路
5 路模式図と説明によって容量性絶縁バリヤとPWM伝送方式を用いることが示されている。また製法は、モノリシック半導体上にDI（誘電体分離）プロセスによる容量性絶縁バリヤとPWM回路からなる絶縁カプラを形成し、この絶縁カプラを組み合わせて、音声帯域の信号を伝送するとしている。しかし、開示されているのは熱パルスによる
10 絶縁スイッチの制御に関する技術であり、モノリシック半導体基板上に、どのような構造の絶縁バリヤや回路を、どのような方法によって構成するのか、その結果どのように動作して、どのような効果を示すのかは開示されていない。

さらに、特開平7-307708号公報では、従来1つの伝送パスに2つの絶縁バリヤが使われてきたのに対して、3つの容量性絶縁バリヤで
15 3つの信号を伝送する回路構成が示されているが、どのように動作させて信号伝送するのかは示されていない。もちろん、これらの回路を絶縁バリヤを含めてモノリシック化する提案はない。

ユーザーは、モデム回路や絶縁カプラの更なる小型化と低価格を要求しており、この実現のためには、モノリシック半導体化を進めることが必要不可欠だと考えられる。しかしながら、以上のような従来の技術は、モノリシックIC化絶縁カプラ、モノリシックIC化応用回路、及び、モノリシックIC化回線インターフェイス回路を実現するに当たって、容量性絶縁バリヤ、容量性絶縁バリヤを用いるための回路、
20 路、それらの配置、配置した回路間の絶縁方法などを、半導体基板の上に、どのように構成して、どのように動作させるのかの技術については、開示されていない。従って、モノリシックIC化する際にどの

ようにして絶縁耐圧を実現するのか、また半導体上に作成した高耐圧容量の特性もまったく知られていない。

- また、複数の絶縁カプラを同時に平行して動作させる場合には、一般に、ある絶縁カプラの動作によって定常的にノイズが発生し、発生
- 5 するノイズにより他の絶縁カプラにクロストークが生じて絶縁カプラの伝送特性に影響し、これによって、絶縁バリヤを経由して伝送する信号のS/Nが劣化する。特にモデム応用のように信号レベルが小さい上に、上りと下りの信号の振幅が大きく違う場合には小さなクロストークも問題である。しかし、これらの問題点に着目して対応した公
- 10 知技術はない。

発明の開示

- 本発明の目的は、回線と端末の間に必要な絶縁手段を内蔵しつつ、小形で経済的な回線インターフェース回路およびモデム装置を実現
- 15 することにある、この為に必要なモノリシックの絶縁バリヤ、及び、該絶縁バリヤを用いたモノリシック絶縁カプラ、及びこれを用いた応用回路IC、特に回線インターフェース回路ICを実現することにある。

- 本発明の他の目的は、半導体基板上に容量性絶縁バリヤを構成する
- 20 技術を提供することにある。

本発明のさらに他の目的は、半導体基板上に容量性絶縁バリヤを用いた絶縁カプラを構成する技術を提供することにある。

- 本発明のさらに他の目的は、半導体基板上に絶縁カプラを複数用いた応用回路とくに回線インターフェースにおいて、その構造、配置、
- 25 動作方法を提供する。さらに、絶縁カプラ間のタイミングの同期方法などタイミングハザードやクロストークによる信号の劣化を低減する技術を提供することにある。

本発明のさらに他の目的は、絶縁カプラを用いて回線インターフェイスを構成するに対して、回線で通信しないときに低漏洩電流を実現することにある。

5 本発明のさらに他の目的は、絶縁カプラにおけるサージ電圧に対する破壊耐力改善技術を提供するにある。

本発明のさらに他の目的は、絶縁カプラを使用することによってモデム装置およびシステムを小型化、経済化することにある。

本発明では、大サイズで、且つ高価という従来の問題点を解決するために以下の手段を用いる。

10 (1) 絶縁バリヤとして、埋め込み絶縁層を内層とする半導体ウェーハ(SOIウェーハ)の表面に、絶縁層に達する絶縁性の帯(以下絶縁帯と称す)を形成し、該絶縁帯の側壁の間で絶縁バリヤを形成する。また、

15 (2) 絶縁バリヤ及び絶縁帯で囲んだ複数の回路領域を形成して領域間を絶縁し、モノリシック化した絶縁カプラを形成する。なお、

(3) 絶縁カプラには、キャパシタ出力を受ける回路にはアンプやコンパレータなどの少なくともキャパシタ出力信号用の増幅手段を設ける。また、

20 (4) モデム装置等の回線インターフェイス回路には、複数のモノリシック絶縁カプラと回線側回路と端末側回路とを設ける。

(5) IC集積化の形態は

①高耐圧デバイスを含む回線側回路

②低耐圧デバイスであるAFE (Analog Front End) を含む端末側回路

25 ③全てを一体化する形態があり、

これらはモノリシック絶縁カプラによってサポートされる。

(6) 低圧側としては特にAFEに複数のモノリシック絶縁カプラを

内蔵する形態がある。

(7) モノリシック A F E 集積回路 (I-A F E) を用いて回線インターフェイス回路を構成し、モデム回路を実現する。

(8) D S P (Digital Signal Processor) と I-A F E とからなる
5 モデム回路と接続して動作させるに、D S P の動作クロックを利用して D S P と I-A F E とこれら絶縁カプラのタイミング同期を取る。

このようにすることで、絶縁層と絶縁バリヤによって高耐圧を実現し、増幅手段によってストレージャパンタによる信号振幅の低下を補償し、または動作タイミングを同期することによってクロストークによる信号の劣化を低減して、小型で高性能な絶縁カプラ及びモデム
10 インターフェイス回路を実現することができる。

以下さらに、本発明について、若干具体的に説明する。

本発明では、埋め込み絶縁層を内層とする半導体ウェーハを加工して、絶縁バリヤ、絶縁カプラ、絶縁カプラの応用回路、特に回線
15 インターフェイス回路を形成し、必要に応じて絶縁層と配線層を重ねて、さらに、絶縁を兼ねた保護層を形成して半導体 I C とする。各回路は、絶縁層と絶縁帯と絶縁保護層で囲み、絶縁する。絶縁帯とは、例えば半導体層の表面から絶縁層に達する 1 ないし 3 ミクロン幅程度の帯状の絶縁パターンであり (厚さは半導体層の厚みに等しく、例えば 1
20 0 ないし 5 0 ミクロンになる)、絶縁帯は、半導体面から絶縁内層に達する所定パターンの溝を形成しこれを絶縁物で埋め込むトレンチ法、また、半導体層に酸素イオンを打込んで絶縁領域を作成するイオン打込み法などによって形成する。以下、絶縁帯で囲んだ部分を電極領域、回路領域などと“領域”を付けて称す。

25 本発明の絶縁カプラの回線インターフェイス応用では、複数の絶縁カプラを内蔵する必要があるが、この場合、複数の容量性絶縁カプラと回線側回路と端末側回路とを設けたモノリシック回線インターフェ

イスICをDSPとAFEとからなるモデム回路と接続して動作させるに、DSPとAFEとこれら絶縁カプラの動作クロックのタイミングの同期を取る。また、モデム信号受信用の絶縁カプラの搬送波クロックは、直流閉結制御信号伝達用カプラのクロックから再生して用いる。また、直流閉結制御は、絶縁バリヤを使用したチャージポンプ回路によってCMOSスイッチを駆動して直流閉結する。

本発明の絶縁カプラにおける絶縁バリヤは、絶縁帯で囲んで電極領域を形成し、複数の電極領域が絶縁帯の一部を共有するように、また、共有長が必要な容量値を得る長さになるように配置してキャパシタを構成する。なお、3つ以上の電極領域が2つ以上の絶縁領域を共有するように絶縁帯の形状及び配置を設定することによって、つまり、多重トレンチによって、直列接続したキャパシタを形成するようにしてもよい。また、埋め込み絶縁層は、該絶縁帯の幅に対応した絶縁性能を持つ厚さとする。

本発明の絶縁カプラは、該絶縁バリヤと入力回路と出力回路とを同一ウェーハ上に形成することで実現する。各回路は、各々絶縁帯で囲んで他の部分と絶縁する。絶縁バリヤは、原則として入力回路領域及び出力回路領域の境界に配置する。また、これらの回路領域と絶縁バリヤを一まとめにしてさらに絶縁帯で囲むようにする。入力回路及び出力回路には各々PWM変調回路及びPWM復調回路、あるいは、目的によっては、他の回路、例えば、音声周波数帯の信号では $\Sigma\Delta$ 変調回路及び復調回路など、振幅方向だけではなく時間軸方向もデジタル化した回路を含める。なお、絶縁バリヤと入力回路及び出力回路との間にダイオードなどの非線型素子で構成した保護回路を配置する。保護回路は回路領域の内部に配置する。

本発明の応用回路は、絶縁カプラに、さらに、絶縁帯で囲んだ応用回路領域を配置することで実現する。複数の該絶縁カプラを含む場合

には、絶縁バリヤを絶縁バリヤ配列ラインに沿って配列してもよい。
複数の絶縁カプラを動作させる場合には、搬送クロックは必要に応じ
て同期させる。回線インターフェイス回路への該絶縁カプラの応用で
は回路領域にCMOS回路を含むように、特に、CMOS回路領域を
5 さらに電源線に接続するPMOSグループ及び接地線に接続するNM
OSグループに分けて、絶縁帯によって分離してもよい。電源配線は
複数の絶縁カプラ間にレイアウトする。各絶縁カプラの周囲を電源線
及び接地線で囲んでもよい。例えば、CMOS回路にすると、制御電
流が不要な電圧制御、および、高オフ抵抗が得られる利点がある一方
10 で寄生トランジスタを含めたPMOSとNMOSの貫通現象つまりラッチ
アップが生じがちであるがこのように領域を分離することで生じにく
くできる利点がある。

絶縁内層ウェーハを用いることで厚さ方向の高耐圧を実現し、同一
ウェーハ上に共有する絶縁帯を持つ2つの電極領域を形成することで
15 極めて小型の絶縁バリヤを実現し、また、同一ウェーハ上に該絶縁バ
リヤと入力回路及び出力回路の2つの回路領域を形成することで極め
て小型の絶縁カプラを実現できる。さらに、電極領域を重ねることで
容量を直列に接続して水平方向の高耐圧を実現することにより、プロ
セスの制約から、1つの絶縁帯の幅を広げられない場合でもさらなる
20 高耐圧を実現できる。さらに、直列容量の配置に際して中間電極をフ
ローティングとすることで強電界部分の跨ぎ配線を少なくなくするこ
とができる。

複数の絶縁カプラを用いる応用の場合には、電極及び絶縁帯など容
量性絶縁バリヤの配置を揃えることで、絶縁性能を均質にすることが
25 できる。

回線インターフェイス応用の場合に、複数の絶縁カプラの搬送クロ
ックを同期化することで、伝送信号へのPWMクロストークを最小に

することができる。また、回路方式をCMOS回路方式とすることで、回線接続スイッチである直流閉結の制御回路を、チャージポンプを用いて、電圧制御することができる。CMOS回路方式は、オフ時のスイッチの高インピーダンスを実現し、低漏洩電流を実現する。なお、絶縁バリアの各端子には外部接続端子と同様に保護回路を設けることで、サージ雑音によるデバイス破壊を防止することができる。

図面の簡単な説明

- 第1図は本発明の1実施例のモデム装置の回路ブロック図。
- 10 第2図は第1図のモデム装置の動作タイミングチャート。
- 第3図は第1図内の絶縁カプラの回路ブロック図。
- 第4図は第3図の絶縁カプラの動作タイミングチャート。
- 第5図はモデム信号処理と絶縁カプラのタイミングチャート同期。
- 第6図はタイミング同期の効果を示すタイミングチャート。
- 15 第7図は第1図の回路における回線インターフェイス回路のICのレイアウト。
- 第8図は第7図のICにおける絶縁カプラの構造図。
- 第9図は第7図のICにおける絶縁バリアの構造図。
- 第10図は回線インターフェイスICのレイアウトの変形例。
- 20 第11図は本発明に適用する絶縁カプラ方式の回路ブロック図。
- 第12図は本発明の他の実施例のモデム装置の回路ブロック図。
- 第13図はモデムの他の実施例の効果を示すタイミングチャート。
- 第14図は回線インターフェイス回路のICの他の実施例の構造図。
- 。
- 25 第15図は本発明の絶縁バリアの他の実施例の構造図。
- 第16図は本発明の絶縁カプラの実施例の構造図。
- 第17図は本発明の絶縁カプラの他の実施例の構造図。

第18図は本発明の絶縁カプラのさらに他の実施例の構造図。

第19図は本発明の回線インターフェイスICを使用したモデム装置の構造図。

5 第20図は本発明のモノリシック絶縁カプラを内蔵する回線インターフェイス回路の実施例の回路ブロック図。

第21図は第20図の回線インターフェイス回路のIC (I-AFE) のレイアウト構想図。

第22図は第21図のIC (I-AFE)を用いたモデム回路の実施例。

第23図は第21図のIC (I-AFE)を用いたモデム装置の実施例。

10 第24図は本発明のモノリシック絶縁カプラを用いた他の通信装置の実施例。

第25図は本発明のモノリシック絶縁カプラの他のレイアウトの実施例。

15 第26図は本発明のモノリシック絶縁カプラの他の実施例の回路ブロック図。

第27図は第26図の詳細回路図。

第28図は第27図の詳細回路図の動作タイミングチャート。

第29図は複数の絶縁カプラを同一のSOI基板に搭載した実施例の回路ブロック図。

20

発明を実施するための最良の形態

以下、実施例にしたがって本発明を説明する。

第1図から第9図を用いて本発明の1実施例であるモデム装置について説明する。

25 第1図は本発明の1実施例のモデム装置の回路ブロック図であり、第1図において、1はモデム、2は回線インターフェイス回路であり、モデム回路1はDSP (Digital Signal Processor : デジタ

ル信号処理専用プロセッサ) 3 および A F E (Analog Front End) 4 から、また、回線インターフェイス回路 2 は端末側回路 5, 絶縁カプラ 6, 回線側回路 7, 高電圧回路 8 からなっている。モデム 1 の中の DSP 3 と A F E 4 の役割は、DSP 3 がデジタル信号処理、A F E がデジタル回路とアナログ回路とのインターフェイスを受け持っている。モデム機能の大部分は、DSP 3 が受け持つ。即ち、DSP 3 は、端末との間のデジタル情報をやり取りする一方で、デジタル信号処理によって変調、復調、符号化、復号化、フィルタ処理の処理を行い A F E 4 とデジタル信号をやり取りする。A F E 4 は、A D A n a l o g t o D i g i t a l) 変換や D A (Digital to Analog) 変換及びフィルタなどを受け持っている。回線インターフェイス回路 2 は D A A (Direct Access Arrangement) とも言い、モデムのアナログ信号を直接に電話回線に接続すると同時に、モデムに対応する交換機との間で、回線側回路 7 及び高電圧回路 8 によって、回線接続、ダイヤル信号送出、着信信号検出などの信号をやり取りする機能を持っているほかに、交換機と端末との間の安全上のインターフェイス機能が必要で絶縁カプラ 6 は、この安全上の境界になるものである。

DSP 3 の内部は R O M (Read Only Memory : 読み出し専用メモリ) 3 1, P U (Processing Unit : 演算ユニット) 3 2, R A M (Random Access Memory : 読み書きメモリ) 3 3, システムインターフェイス 3 4, S O R (シリアル出力インターフェイス) 3 5, S I R (シリアル入力インターフェイス) 3 6, I / O (入出力インターフェイス) 3 7, C O N T (DSP 内部の制御部) 3 8 からなっており、3 つのバス 3 9 - 1, 3 9 - 2, 3 9 - 3 で接続している。DSP 3 は DSP のシステム制御回路 C O N T 3 8 内のソフトによって制御され、約 4 0 M H z で動作し、H O S T - I F を通じた端末装置からの

指令により動作し、またデータを授受する。通常のモデムは送信と受信の同時通信能力があり、送信データは、HOST-IFから入力すると一旦RAM33に蓄積されROM31内のデータ、既に蓄積された送信信号を用いて信号変換や符号化やフィルタ処理を施してSOR35を通じて出力される。また、受信信号はAD信号をSIR36から入力した後、RAMに格納してある送信信号や既に受信した信号とROM31内のデータを用いて各種フィルタ処理や判定処理、符号変換、などを行う。I/O37はDSP3から外部の回路を制御するための制御信号入出力機能を持っている。

AFE4は、DA変換器41、AD変換器42、クロック分周器43からなっており、主として、フィルタや変復調処理をつかさどるDSP3がモデム信号を入出力するインターフェイス手段をになう。端末側回路5は、データ及びクロックの接続回路である。絶縁カプラ6は、送信パス61、受信パス62、OFHKパス63、Resetパス64からなっており内部構成や動作についての詳細は、後述する。回線側回路7は、2線/4線変換回路71、SW制御回路72、OSC（ローカル発信回路）73からなっており、2線/4線変換回路71は送信信号パスと受信パスの計4線と回線側の2線とを送信信号が受信側に回り込むのを抑制するハイブリッド回路手段である。高電圧回路8は、直流閉結回路81及び呼出信号を検出するRing（呼出信号）検出回路82からなっており、直流閉結回路81は回線接続する2つの端子TIP及びRINGに接続して、制御信号OFHKのパス63およびSW制御回路72により直流ループを作る手段である。

このモデム回路の構成上の第1の特徴は4つの絶縁カプラ6によって回線側と端末側の回路を分離していることである。当然電源も分離しており、回線側電源は、交換局からの給電を用い、端末側は端末の電源を用いる。第2の特徴は基本クロックをDSP3から供給してい

ることにあり、図中太い矢印線で示したように、タイミング信号は、モデム3のCONT 38から供給したクロック信号DSPCLKを用いてクロック回路43からモデム内のAFEのAD変換タイミング(MCLKS)、DA変換タイミング(MCLKR)、モデム3のデータ伝送タイミングを得るとともに、回線インターフェイス回路2に供給して絶縁カプラ6の送信パス61及び制御信号送出用絶縁カプラのOFHKパス63に与える。一方、モデム信号の受信パス62はOFHKパス63の再生クロックを用い、また、制御信号受信用絶縁カプラのRdetパス64は受信待機からRING信号受信時のみ有意なのでOFHK信号で発振を制御するものとする。このようにすることでRdet信号パス以外はモデム1内のDSP3の動作タイミングに同期してする。このようにすることにより後述する効果が得られる。

次に、第2図用いてこの回路のモデム機能としての動作を説明する。第2図には、送信時(a)と、受信時(b)に分けたタイミングチャートの一例を示している。送信時は、最初に、端末からの指令に従ってDSP3がI/O37を制御して直流閉結制御信号OFHKをオンする(T1)。直流閉結に対して、回線(即ち、交換機)が応答したならば(T2)回線インターフェイス回路2からダイヤル信号を送出する。これは、OFHK端子を回線規格に合わせてオンオフし直流閉結をオンオフすることで実施する。例えば日本では10PPS(pulse per second以下同じ)または20PPSである。ダイヤル信号送出を終えると(T3)、端末は、回線が相手側モデムと接続されるのを待って(T4)、モデム1を起動し送信を開始する。モデム1は起動指令にしたがって、あらかじめ決められた手順にしたがってDSP3のSOR35およびAFE4のDA変換器41を通じて送信信号TXA+およびTXA-を発生し、相手モデムとの通信を立ち上げる。回線インターフェイス回路は、TXA信号を絶縁カプラ6の送信パス6

1 を通じて 2 線 / 4 線変換回路 7 1 に供給する。2 線 / 4 線変換回路 7 1 では受信側への回り込みを低減して、直流閉結回路 8 1 を通じて T I P 及び R I N G 端子から回線に送信信号を送出する。この送信信号に相手モデムが応答する (T 5) と回線上に相手モデムの信号が見えて、逆の経路をたどって、2 線 / 4 線変換回路 7 1 で受信信号が選別され、絶縁カプラ 6 の受信パス 6 2, A F E の A D 変換器 4 2, D S P 3 の S I R 3 6 を経由してモデム 1 に引き渡され、D S P の信号処理によって増幅し、フィルタ処理し、復調し、デジタルデータを復元し、受信データとしてホストに引き渡す。通信を停止するときには、端末は、モデム信号のより上位のプロトコルによって端末同士の停止情報をやり取りした後で夫々のモデムに停止指令を出し (R S オフ)、モデムがこれに応じて信号を停止する (T 6, T 7)。このやり取りを終えた時点で (T 8) O F H K をオフする。このようにすると、回線接続端子 T I P と R I N G 間には T 1 から T 8 までの各タイミングに対応して概略第 2 図の “T I P - R I N G 間” のような信号が現れる。

受信時には、回線側から R I N G 信号によって起動がかかり (T 1)、回線インターフェイス回路は、これを R I N G 検出回路 8 2 で検出すると、速やかに絶縁カプラ 6 の R d e t パス 6 4 を通じてモデム 3 に伝達する。モデム 3 は、これを I / O 回路 3 7 で知り、これに
20 応答すると送信時同様に直流閉結制御信号 O F H K を出力して直流閉結する (T 2)。直流を閉結すると局の交換機は R I N G 信号を停止する (T 3) ので回線の整定時間を待って (T 4) 相手モデムがモデム信号を送信してくるので、これを信号 R X A + および R X A - として
25 受信して、受信側モデムがモデム信号であると認識すると、これに
応答して送信を開始する (T 5)。通信が完了するときも、T 6, T 7, T 8 と、送信時とほぼ同様のシーケンスで終了する。これらの受信

動作の間、T 1 から T 8 までの各タイミングに対応して回線には図のような信号（模式的に示す）が現れる。この動作自体は、通常、規格に従っている。

図 3 は、第 1 図の実施例内の絶縁カプラ 6 の一パスの回路ブロック図であり、図 3 において、9-1 および 9-2 は後述する容量性絶縁バリヤ、21 は入力回路、22 は出力回路で、この絶縁バリヤによってモデムの端末と交換機との間の安全上の境界を実現している。入力回路 21 は、端子 103 を電源及び信号入力とし、変調回路 104、駆動回路 105、保護回路 106 からなっており、入力されたアナログ信号を変換及び変調して PWM (Puls Width Modulation) 信号に変換し、絶縁バリヤ 9-1 及び 9-2 を通じて出力回路 22 に信号を伝達する。出力回路 22 は、保護回路 107、検出回路 108、復調回路 109 からなっており、端子 110 から電源を供給し、絶縁バリヤ 9 を通じて来た信号を検出回路 108 で検出し、検出信号から積分回路 135 及び比較回路 137 によって PWM 信号を再生し、また、PWM 信号から入力信号に対応したアナログ信号を再生する。また、検出した信号からタイミング信号を抽出して、これらの信号を出力する機能がある。

入力側の端子 103 には、電源端子 VDD1 および VDD2、接地端子 VSS1、信号入力として+と-の差動入力、また、変調タイミングとなるクロック入力端子がある。変調回路 104 は、比較回路 111、および搬送波発生回路 112 からなっている。駆動回路 105 は、PMOS トランジスタ 113 および 114 と NMOS トランジスタ 117 および 118 とからなるインバータドライバである。保護回路 106 は、ダイオード 121、122、123、124 と抵抗 129、130 からなり、出力回路 22 側からのサージ電圧進入による回路破壊を防止する。出力回路 22 側の保護回路 107 は、抵抗 131

- 、132、およびダイオード125、126、127、128からなり、検出回路108のトランジスタのゲートを保護している。PMOS115、116およびNMOS119、120は帰還抵抗133及び134を持つインバータ構成の検出回路である。検出回路108の出力は積分回路135に接続する。積分回路135は、インバータ出力信号からPWM波形を再生する。136は搬送波のタイミングを再生する回路であり、137は比較回路である。出力回路側の端子110は、電源端子VDD3、VDD4とVSS2から電力を供給して、処理結果の相補型の信号出力+、-とタイミングクロックを出力する。
- この構成の特徴は、(1)2つの絶縁バリヤ9-1、9-2を用いていること、(2)外部クロック入力であること、(3)再生クロック出力があることである。なお、通常の入出力保護回路であるために表記しなかったが、この回路ブロック図における端子103のうち、信号入力+と-およびクロック入力には、絶縁カプラとして単独使用する場合には、入力保護回路を設ける。また、この回路構成の説明ではPMOS及びNMOSの組み合わせとして示したが、目的によっては、バイポーラプロセスや混在プロセスであってもよい。また、絶縁カプラを単体使用するのが目的であるときには、クロックを内部発生せさせるようにしてもよい。
- 次に、第4図を用いて、この実施例の絶縁カプラの動作を説明する。第4図は、図3の絶縁カプラの動作タイミングチャートであり、信号伝送方式は、PWM(パルス幅変調)方式である。伝達すべき波形である入力信号の周波数帯域(ここでは最大約3.4kHz)より十分高い(ここでは1.2288MHz:256倍以上)搬送波を用い、時間軸を細かい周期T毎に分け、各時刻における入力信号の大きさを各々のパルス幅tに変換して伝送する。入力信号が0ボルトのときに $t/T=0.5$ 、つまり、50%デューティで、入力信号が正に大

きくなるほどパルス幅を大きくし、入力信号が負に大きくなるほどパルス幅を狭くするように、デューティ変換する。なお、入力信号は、コモンモードノイズの影響を低減するために入力信号+及び入力信号-と差動入力としているが、目的によっては他の入力方式を用いても

5 良い。

第4図は正弦波を+-入力端子に加えた場合を模式的に示している。絶縁カプラの外から入力した矩形のクロックを搬送波発生回路112によって鋸波形に変換して、搬送波とする。変調回路104は、比較回路111であり、これらの入力信号を受けてパルスのデューティ

10 を変化させた出力PWM+及びPWM-を出力する。駆動回路105は、このPWM+およびPWM-波形を駆動回路105に入力し、保護回路106を通じて絶縁バリヤ9-1, 9-2の一方の端子に与える。絶縁バリヤ9-1, 9-2のキャパシタ値は、約1 pFである。保護回路106は、数十ns程度以下の高電圧サージ波形に効果がある

15 るような定数にしてあるので、この駆動波形にはほとんど影響しない。絶縁バリヤ9-1, 9-2の他方の電極は、保護回路107を通じて検出回路108に入力する。この検出回路108は、インバータ及び積分回路135である。インバータ出力は検出信号+及び-のように微分波形であり、また、ストレー容量のために著しく減衰している

20 ので、インバータで一旦増幅して積分回路135に入力する。積分回路135は+及び-の2つの入力を有する積分器であり、微分波形を入力信号とすることにより図に示すような再生PWM信号+及び-を出力する。タイミング再生回路136は、PLL回路で、再生PWM信号からタイミング信号成分を抽出する。タイミング波形を用いて鋸

25 波形を作成し、これを再生PWM信号のタイミングでサンプルホールドすると出力信号+及び-のような復調波形を再生することができる。

なお、この絶縁カプラの回路動作について説明したが、本発明の実施に当たって、PWMの実現方法は、他の方法でもよい。例えば、変調波形は、三角波としてもよい。三角波を用いると、変調波形の中心タイミングが一定となるので、例えば、復調回路においてPLLのような高精度のタイミング再生方式を採用できる効果がある。また、出力回路では、積分回路の代わりにセットリセット型のフリップフロップを配置してもよい。インバータ出力である微分波形の立ち上がりタイミングは、PWMのタイミング情報そのものであり、負荷抵抗やインバータの特性等を適当に選ぶことによって、そのままフリップフロップの制御信号とすることができる。フリップフロップの出力はPWM波形そのものである。

この動作タイミングの特徴は、送信信号、受信信号、回線接続制御信号の3つの制御信号伝達が平行していることである。このために絶縁カプラを用いた回線インターフェイスでは、信号のクロストークが雑音となってSN比を劣化させる。そこで、この実施例では、DSPの動作タイミングとモデム処理タイミングと絶縁カプラのタイミングとを同期させて、この劣化を抑制している。これを、次の第5図を用いて説明する。

第5図(a)(b)はモデム信号処理と絶縁カプラの動作のタイミング関係を示しており、本実施例の回路構成の特徴は、回線インターフェイス回路の動作タイミングをモデムより供給し、IC内部の回路動作をこのクロックに同期していることである。第5図において(a)はモデム信号処理部分であり、タイミングチャートは模式的であるがチャートの右側に示したような関係にしている。即ち、モデム信号処理部分では、DSPを39.3216MHzで動作させ、AFEには1.2288MHzを供給してDA変換タイミングMCLKSおよびAD変換タイミングMCLKRとして用いる。DA変換及びAD変

- 換方式は256倍オーバーサンプリング方式であるため実質は9.6 kbpsである。(b)は回線インターフェイス部分のクロックタイミング関係であり、DSPから供給したクロック信号DSPCLKをNCLKSとして絶縁カプラ6の送信信号パス61および制御信号パス63に供給することでモデムの動作タイミングと同期させる。受信信号パスNCLKRは制御信号がオン状態のときのみ動作すれば良いので図のようにゲートした波形になっている。また、RdetパスのタイミングCLK2は回線側回路にてローカル発振するがモデム間の信号のやり取りをする際に制御信号OFHKによって停止させる。
- 10 このようにDSP, AFE, 絶縁カプラの動作タイミングを同期させることによる効果を第6図を用いて説明する。

- 第6図において、(a)は鋸波形を搬送波とする場合のPWM変調タイミングを示している。変調は、クロック信号を積分して搬送波形となる鋸波形を作成し、伝送信号と比較することでPWM変調波形が得られる。ここでは受信信号と送信信号とOFHK制御信号を示している。受信信号は第1図のRXA+, -に示すように、回線での伝送損失の影響を受けて振幅が小さく、-20から-45 dBm程度である。これに対して送信信号は、自分から送信するので振幅が大きく通常は-6から-15 dBm程度である。制御信号は、5Vのロジックレベルであり最大値である。これらの振幅をPWMデューティに変換すると図のように、小振幅の信号は振れ幅が狭く、大振幅の信号は大きな振れになる。また、信号の性質は、モデム波形は交流信号であるので図のように振れが見え、制御信号は止まってみえる。本実施例では、各絶縁カプラのタイミングを同期しているので第6図のように、
- 25 搬送波形、変調波形、制御信号のPWM波形が整列し、相互の干渉を最小にしている。また、モデム回路では、送受信の信号を所定のタイミングでADあるいはDA変換しているがモデムからもらうクロック

をこれに同期したものとする事でPWM部分で周期T毎にサンプリングしても、影響を最小にすることができる（非同期ではビート雑音の影響がある）。

クロストーク低減の原理をもう少し詳しく説明すると以下のようになる。

パルス幅変調の絶縁カプラを複数個同時に動作させると、PWM波形が重なって、立ち上がりや立ち下りの位置が近づくので、デバイスや回路の電気的な結合によって、自回路の動作によって自回路に発生した雑音が他の回路の動作に影響して、他の回路の立ち上がりや立ち下りのタイミングを乱す相互干渉、いわゆるクロストークが生じる。DAA回路用に3～5個の絶縁カプラが必要な場合にアナログデータ伝送のためにPWM絶縁カプラを用いる応用では、この乱れによって波形歪みが生じ、この歪みによって伝送信号のS/Nが劣化するので、例えば音声信号であれば雑音が増え、モデム応用では伝送誤りとなる。PWMの搬送クロックタイミングを同期すると図に示すように少なくともロジックレベルのタイミングとアナログ信号のタイミングとの重なりを分けることができる効果がある。また、後述するようなロジックレベルのPWMだけを用いるシステムの場合でもタイミングの乱れがロジックレベル付近に限定されるのでクロストークの影響を最小とする効果がある。

第6図（b）は三角波形搬送波に適用した場合の、PWM変調タイミングを示している。この場合には、搬送波が三角波形となるために三角波の両側にPWM変調タイミングが現れる以外、基本的には同じ問題を含んでいるが、この実施例のようにすることで、同じ効果が得られる。なお、着信検出信号Rdetを伝達する絶縁カプラ105用のクロックは回線側に配置した発振器OSC112にて発生しているために他の絶縁カプラの動作とタイミングが合わないが、OFHK制

御信号を入力したときに発振を禁止するようにしており、この作用によって発振回路の動作が、モデム通信を始める以前に停止するので、これによってクロストークの影響を抑制できる効果がある。

第7図は、この回線インターフェイスICのレイアウト構想図である。第7図において、2は回線インターフェイスICであり、206-1, 206-2, 206-3は絶縁帯であり、それぞれ、回線側の端子領域201および回線側回路領域202, 端末側回路領域204及び端子領域205を囲んでいる。203は絶縁カプラ配列領域で第1図に示す4つの絶縁カプラを1列にならべて配列している。

このレイアウトの特徴は、(1) 容量性絶縁バリヤを用いた絶縁カプラを4個用いたこと、(2) 回線側回路と端末側回路とを絶縁カプラを間に挟んで分離するように幾何学的に配列したこと、及び、(3) 回線側回路及び端末側回路の各々を絶縁帯で囲んだことである。絶縁帯とは、これによって、回線側、端末側、夫々の回路が絶縁分離されて、各領域の中は、一次回路と二次回路間の耐圧を意識せずに自由に設計でき、また、同時に、絶縁能力の評価、管理等が簡素化される利点がある。

なお、この集積回路のパッケージ実装に当たっては、最終的にはパッケージの外に出る部分の空気絶縁に耐える絶縁距離を確保するとともに、内部をモールドして絶縁処理を施すことは言うまでもない。

次に、第8図を用いて、第7図の絶縁カプラ部分の構造について説明する。第8図(a)は平面図、第8図(b)は断面図であり、いずれも駆動回路及び検出回路のみを模式化して示している。第8図(a)において、203は絶縁カプラ領域であり、206は絶縁帯、207は絶縁バリヤ、211は入力回路領域、212は出力回路領域である。絶縁帯206は、206-1から206-6まで多くのパターンを形成している。なお、絶縁バリヤ207の部分の符号は、煩雑なの

で一部省略しているが同様である。入力回路領域 2 1 1 および出力回路領域 2 1 2 は、さらに、PMOS 領域 2 1 3, 2 1 4, 2 1 5, 2 1 6 および NMOS 領域 2 1 7, 2 1 8 からなっている。入力回路の入力端子としては駆動回路の 2 つのインバータ入力端子 IN 1, IN 2 を示す。また、出力回路の出力端子としては、検出回路の 2 つのインバータ出力端子 OUT 1, OUT 2 を示す。VDD 1 から VDD 4 は分離した電源端子、VSS 1 および VSS 2 は、分離した接地端子である。平面図 (a) の特徴は、(1) 回路領域を絶縁帯によって分離していること、また、(2) 絶縁バリヤとして、絶縁帯を櫛の歯状パターンに形成して、対向面積を稼いでおり、また、(3) 4 つのキャパシタを、横方向に直列接続して 2 組の絶縁バリヤを形成していることである。これらは、前述のように相補的な PWM デジタル波形で駆動する。2 組の絶縁バリヤ間のクロストークは少ないが、問題にするような用途の場合には、これらの間に、即ち、横方向に長いスペースや電源パターン VDD, VSS の配線パターンを用意して、絶縁バリヤの間に配置して結合を緩くすると効果がある。また、絶縁カプラを複数使用する場合にも同様な配置で効果がある。また、回路領域の中で PMOS の領域と NMOS の領域とは絶縁帯によって分離する。この分離で、仮に回路に予期せぬサージ電圧が印加されても寄生トランジスタの導通による電源間の短絡、貫通、即ちラッチアップ現象は原理的には生じない。

第 8 図 (b) において、2 3 1 は基板、2 3 2 は絶縁層、2 3 3 は半導体層、2 3 4 は保護層であり、多くの絶縁帯 2 0 6 によって半導体の領域が形成され、左から、入力回路領域 2 1 1, 絶縁バリヤ 2 0 7, 出力回路領域 2 1 2 を配列している。この構造は、この実施例では、約 2 ミクロン厚さの SiO_2 を絶縁層として内層としたシリコンウェーハ (SOI 基板) を用意し、この上にホトマスクを使用した薄

膜プロセスを用いて各領域を作成している。第8図(b)において、
206-1から206-6の絶縁帯は、約 $1.5\mu\text{m}$ 幅の SiO_2
層である。構造的には、絶縁層を内層としたシリコンウェーハ上に、
入出力回路領域、絶縁バリア領域等の、各領域を絶縁帯206によっ
5 て区分して形成して、さらに、保護層234を重ねたようにしている。
シリコンウェーハは、単結晶シリコンの基板231に、 SiO_2 一
層、あるいはさらに表面を酸化したポリシリコンを重ねた多層の絶縁
層232を重ね、さらに単結晶シリコンの半導体層を重ねた構成にな
っている。張り合わせは、本実施例では、ポリシリコン表面のシリコ
ン酸化膜の表面を鏡面研磨して重ね合わせた後に特定温度で熱処理に
10 よって接合する方法を用いる。絶縁帯206は、 SiO_2 層であり絶
縁物である。保護層234は、 SiO_2 、HLDあるいは SiN などの
絶縁物でありこの層の中にポリシリコンやアルミニウムによる配線
層を含んでいる。絶縁帯206は、一旦、溝(トレンチ)を掘って SiO_2
15 やBPSGで埋め込む方法、トレンチ側壁を薄く酸化してから
ポリシリコンを埋め込む方法、あるいは、PIQやSOGを塗布す
る方法、あるいは、上面からの酸素イオン照射で半導体層を絶縁体
に変えるなどの方法で形成する。キャパシタは、3つの電極領域236
, 237, 238と絶縁帯206で構成する。このようにすると、絶
縁層232の厚さに比べて絶縁帯206の幅に制限がある溝掘り方式
20 の場合でもキャパシタを直列接続することで絶縁耐圧を確保するこ
とができる。

また、電気的な要求が絶縁帯1つ分の耐圧で良い場合にも、このよ
うにして2重絶縁を実現することで信頼性の高い部品とすることがで
25 きる。なお、入力回路領域211と出力回路領域212は断面で示す
と235および239であり、これらは、2つの絶縁帯で囲まれてお
り、高い絶縁耐圧が得られる構造になっている。このように、複数の

回路を基板から絶縁帯及び絶縁層によって物理的に絶縁しているので、この集積回路は、パッケージ実装に際して、フレームに直接接着することができ、熱放散が良い利点がある。

- 次に、第9図によって、第8図の絶縁カプラにおける絶縁バリヤ部分の構造をさらに説明する。第9図において、(a)は平面図、(b) (c)は平面図(a)におけるA-A'断面図である。第9図(a)において、207は絶縁バリヤ、206-1, 206-2, 206-3は約1.5ミクロン幅のSiO₂で形成した絶縁帯、241, 242, 243は絶縁帯206で囲んだ電極領域、244および245は電極領域241および242上部の保護層に開けた穴である端子である。第9図(b)において、231は約400ミクロン厚さのSi基板、232は約2ミクロン厚さの絶縁層、233は約15ミクロン厚さの半導体層、234は約5ミクロン厚さの保護層であり、他の符号は(a)と同じである。
- 断面図からわかるように、絶縁層を内層としたシリコンウェーハ上にホトマスクを使用した薄膜プロセスを用いて各領域を作成している。絶縁帯は、SiO₂層であり絶縁体である。絶縁帯206は、一旦、溝(トレンチ)を掘ってSiO₂で埋め込む方法、あるいは、上面からの酸素イオン照射で半導体層を絶縁体に変えるなどの方法で形成する。
- キャパシタは、3つの電極領域241, 242, 243と2つの絶縁帯206-1, 206-3で構成する。絶縁帯206を図示したように帯を折りたたむようにパターン化して電極241, 242と243が接する長さを長くすることで小さな半導体面積で効率よく容量値を得るようにしている。ちなみに、この実施例では約160ミクロンの正方形で約2pF、耐圧は直流耐圧試験で1絶縁帯当たり約750Vの絶縁性能が得られている。端子244および245間に高電圧を印加するが、絶縁バリヤ207の外側からみて、電極領域241, 2

4 2を絶縁帯で2重に囲んだパターンになっている。なお、絶縁帯206のパターンを形成するに当たっては、鋭角のパターンが生じないように、折りたたむ部分や角部分には、可能な限り円弧パターン（半径2ないし5ミクロン）を用いる。絶縁帯206-2の部分は他の回路部分と絶縁分離するために必要である。第9図（c）は、絶縁層1層当たりの厚さを厚くできない場合の構造図で、絶縁層を2層とすることで実効的な耐圧を稼ぐことができる。また、多層構造のICには反りが少なからず見られるが、絶縁層を多層とし各層の厚さを調節することで、応力を分散して反りを軽減する効果もある。

10 なお、第7図のように絶縁カプラを1列に整列してレイアウトした例を示したが、第10図に示すように絶縁バリヤの配列は変形可能である。すなわち、第10図は回線インターフェイスICの他のレイアウト構想であり、同図のように、絶縁カプラを2つずつ直角方向に配列している。回線側回路と端末側回路との間には1500Vdcの試験電圧が印加されるが、各々の回路領域は、SOI基板上に夫々絶縁帯で囲って配置してあるので、かなり自在なレイアウトが可能である。

但し、領域間の配線及び端子の配列やサイズによって、制約を受ける。なお、このレイアウトの場合、回路領域や端子数にアンバランスがある場合に、効率的な領域配置ができる特徴がある。

次に、第11図を用いて本発明の絶縁カプラの伝送方式を説明する。第11図には、ブロック図により、（a）から（f）までの各種の伝送方式を示している。絶縁バリヤは、本発明のキャパシタである。本発明の絶縁カプラは、絶縁バリヤを2個使用し、レシーバ側をフローティングとしても正確に信号伝送できるように相補波形で駆動する。入力回路は、電源端子VDD1と接地端子VSS1とから電源供給を受け、入力端子から受けた信号を絶縁バリヤの一方の端子を駆動す

- る波形に変換して出力する。出力回路は、電源端子VDD 2と接地端子VSS 2とから電源供給を受け、絶縁バリアの反対側の端子に現れる波形を検出し出力信号に変換して出力する。変換波形は、振幅方向のみデジタル化するPWM（パルスデューティ変換）あるいはFM（
5 電圧一周波数変換）、又は、時間軸方向もデジタル化したデジタル伝送方式など様々な方式を使用することができる。

第11図（b）は、PWM伝送方式の場合を示している。PWM方式は、入力回路で、入力したアナログ信号を信号帯域の数十倍以上の一定周期Tでサンプリングし、振幅を時間軸方向のデューティ（0V
10 入力を50%デューティ）に変換して伝送し、出力回路では、これを検出して、再びデューティを振幅値に変換することで入力波形を再生し、アナログ信号を出力するものである。デューティをアナログ処理することで、原理的には高い分解能を得ることができる。もちろんデジタル信号を伝送しても良い。

- 15 （c）は、本発明のデジタル伝送の場合を示している。デジタル伝送では、伝送波形に同一レベルが続かないように例えばマンチェスタ符号などのような符号変換を施してから、絶縁バリアを駆動し、出力回路では、これを検出して、逆変換し元のデジタル信号を再生する。この場合は入力デジタル信号の転送周波数に同期して符号変換および
20 逆変換を行う。この方法は振幅方向の変換が少ないので雑音の影響を受け難い特徴がある。

（d）は、AD変換入力を絶縁バリアを通じて行う場合を示している。入力回路では、アナログの入力信号をAD変換し、さらに、（c）と同じ符号変換を施してから絶縁バリアを駆動する。出力回路では
25 、これを検出して、逆符号変換してからデジタル信号を出力する。

（e）は、逆にDA変換出力を絶縁バリアを通じて行う場合を示している。入力回路では、デジタルの入力信号を（c）と同じ符号変換

を施してから絶縁バリヤを駆動する。出力回路では、これを検出して、逆符号変換してからDA変換してアナログ信号を出力する。

(f) は、(d) と (e) とを組み合わせるアナログ信号の入出力をAD変換及びDA変換を用いて実施する場合を示している。(d) から (f) の信号伝送方式は、デジタル信号の接続先をDSPとすることにより、モデムなどの音声信号処理アナログフロントエンド及び回線インターフェイスに好適な構成である。

これらの方式は、本発明によりモノリシックICに集積化することが可能になる。具体的に言えば、上記した容量性絶縁バリヤは、2つの回路の間を結合するための回路であるが、基板との間のストレー容量が大きく、入力回路、出力回路、絶縁バリヤを別々に作成して組み合わせる場合とは大きな違いがある。このため、絶縁バリヤでの伝送効率が数分の一と悪いのである。上記した実施例では、出力回路の初段に増幅回路を配置して後に検出処理、復調処理を行うようにしている。

第12図は本発明の他の実施例のモデム装置の回路ブロック図である。

第12図において、251は、この実施例の回線インターフェイスICであり、252は端末側回路、253は絶縁カプラ、254回線側回路、255は高耐圧回路である。また、端末側回路252は、DSPインターフェイス256、モデムデータの入出力インターフェイスSIR261、モデムデータの圧縮回路262、送信側マルチプレクサ263、汎用出力レジスタのマスターレジスタGORM262、誤り訂正回路265、受信側マルチプレクサ266、受信モデムデータの伸長回路267、モデムデータの入力インターフェイスSIR268、汎用入力データの誤り訂正回路269、汎用入力レジスタのスレーブレジスタGIRS270からなっており、絶縁バリヤ253は、

送信パス用絶縁カプラ 6-1 及び受信パス用絶縁カプラ 6-2 からな
っており、回線側回路 254 は、送信パスは、回線側送信パスのマル
チプレクサ 271, 送信モデムデータの伸長回路 272, DA変換器
273, 汎用出力信号の誤り訂正回路 274, スレーブの汎用出力レ
ジスタ 275, AD変換器 276, AD変換データの圧縮回路 277
5 , マルチプレクサ 278, マスタの汎用入力レジスタ GIRM279
, 入力データの誤り訂正回路 280, 2線/4線変換回路 281,
SW制御回路 283 からなっており、高耐圧回路 255 は、直流閉結
回路 282 及び呼出信号検出回路 284 からなっている。

- 10 この回路構成の特徴は、第1にAD変換器及びDA変換器を回線側
に配置して、絶縁カプラを通る信号をデジタルデータとしたことにあ
る。このために、後述するように、絶縁バリヤを通す際の耐雑音性能
が格段に改善する。また、第2は、AD変換信号およびDA変換信号
を一旦圧縮して絶縁カプラを通すこととし、この空いた部分に制御信
15 号を誤り訂正符号化してはめ込み、絶縁カプラ 6 を 6-1 及び 6-2
の2つと半減していることである。絶縁バリヤを半導体基板上に搭載
すると大きな面積を必要とするので、データの圧縮伸長及び誤り訂正
などの回路追加部分の面積増加を考慮しても、絶縁カプラの個数が少
なくなることは、チップ面積を小さくする上で有利である。さらに、
20 第3は、機能的には図1と殆ど同じであり、高耐圧回路 255 の内部
回路、回線側回路 254 における2線/4線変換回路 281, SW
制御回路 283 はまったく同じ機能である。また、第4は、マルチプ
レクサ 266 には絶縁カプラ 6-2 の再生クロック及びDSPから
のクロックの両方を入れてタイミング調整をしていることである。1
25 ビットあるいは2ビットのバッファメモリを配置することでタイミン
グの調整をすることができる。第5は、汎用入出力レジスタ GOR,
GIR が、マスタレジスタの内容をスレーブレジスタに逐次転写して

いることである。もちろんこの回路の変形として、技術が進歩して絶縁カプラがさらに小さくなった場合に雑音が少なく誤りにくいときには圧縮や、誤り訂正やマルチプレクサを省略しても良い。

次に、第13図を用いてこの実施例の効果を説明する。

- 5 第13図において、(a)は、鋸波形を搬送波に用いた場合、(b)は三角波を搬送波に用いた場合を示しており、両図のように送信信号および受信信号がアナログ信号であっても、絶縁バリヤにはデジタルPWM信号しか通過せず、DSP、モデム処理、絶縁カプラの動作タイミングを同期していることにより、絶縁バリヤでの伝送誤りに最も耐える性能とできる。

- 第14図は、回線インターフェイスICを2チップ構成とした場合を示している。第14図において、291は、回線インターフェイスチップ、292は端末インターフェイスチップであり、回線インターフェイスチップ291には、端子領域293、回線側高電圧回路領域
15 294、端子領域295を配置し、端末インターフェイスチップ292には端子領域296、回線側低電圧回路領域297、絶縁カプラ領域298、端末側回路領域299、端子領域300を配置した。回線側高耐圧回路領域294には、直流閉結回路及び着信(RING)検出回路を配置した。また、端末インターフェイスチップ292の回
20 線側低電圧回路領域297には2線/4線変換回路、OFHKスイッチ(SW)制御回路及び発信回路を配置した。このようにすることにより、高電圧の回路素子が必要な回線インターフェイスチップ291のプロセス条件を絶縁バリヤや低電圧である回路素子の回路と切り離すことにより効率の良いプロセスを選択できる利点がある。また、1
25 つのICチップのサイズを小さくすることでプロセスにおける総合的な歩留まりの影響を低減して、ウエーハ当たりのICチップ取得数を増やす効果もある。また、回線インターフェイスチップは個別部品を

用いてディスクリット回路としても良い。このようにすることにより、端末インターフェイスチップにはロジック信号及びモデムの信号レベルの信号だけになり、直接回線と接続する部分がなくなるので、モデム以外の応用など、例えば、多機能電話機の内部回路に用いるなど適用範囲を広げやすい効果が生まれる。

第15図は、絶縁バリヤの他の実施例の構造図で、(a)は1重絶縁、(b)は2重絶縁、(c)は2重絶縁の他の変形した実施例の平面図である。第15図において、207は絶縁バリヤ、206-1、206-2、206-3は絶縁帯、241、242は絶縁帯206で囲んだ電極領域、244および245は電極領域241および242上部の保護層に開けた穴である端子、301-1及び301-2はしきりである。第15図(a)及び(b)は、第9図の実施例同様に絶縁帯に一切の鋭角をもたないパターンの実施例を示している。

第15図(a)のパターンの特徴は、絶縁帯206-1および206-2の一筆書きで端子244、245を有する電極領域241、242を形成したことにより、このようにすると、T字状に絶縁帯同士が接続する部分を排除することができ、トレンチ法で溝を埋めるときの効率が良いばかりでなく、電界の集中を軽減する効果がある。第15図(b)も同様で、このパターンの特徴は、絶縁帯206-3および206-4の一筆書きで端子244、245を有する電極241、242を形成し、これらをそれぞれ、絶縁帯206-1、206-2でさらに囲んだことにより、これによって、絶縁帯206-1と206-3との間、絶縁帯206-3と206-4との間で形成した中間電極が形成され、このために2倍の耐圧性能を出せる効果がある。第15図(c)のパターンは、第15図(a)及び第9図の実施例の変形例であり、2つのT字部を許せば絶縁帯206-3で囲ったことで面積効率の良い絶縁バリヤを実現することができる効果がある。(a

）（b）の方法は、さらに直列数を増やす場合にも効率よく展開できる。

本発明は、絶縁カプラ単体としても有効であり、これを第16図を用いて説明する。第16図は、本発明の絶縁カプラの1実施例の構造図であり、第16図における絶縁カプラ203は、第8図の絶縁カプラ部分に、入力回路用の端子領域201および出力回路用の端子領域205を設けそれぞれの端子を配置したもので、約2mm平方の大きさである。このようにすることにより超小型のアナログPWM方式のモノリシック絶縁カプラ部品ができる。これは、もちろん後工程でパッケージに実装して使用するがモノリシックであるので極めて小型なために、計測器のプロープや医療用の各種センサのような応用装置の内部に実装し、これらの装置の小型化、高性能化に貢献することができる。

また、第17図は、第16図の2つの絶縁カプラを1チップに搭載する場合のレイアウト構想図である。第17図において、203は2カプラ内蔵1チップ絶縁カプラであり、203-1、203-2はそれぞれ内蔵する絶縁カプラ1および絶縁カプラ2であり、各々絶縁帯206-1および206-2で囲んである。このレイアウトの特徴は、（1）各絶縁カプラを絶縁帯62-1及び62-2で囲んだこと、及び、（2）電界が集中する絶縁バリヤを整列したことである。このようにすることで、2つの入力と2つの出力間のいずれとの間に対しても絶縁耐圧を確保することができ、絶縁耐圧を維持しながら自由に各回路要素を配置することができる効果がある。また、この構造により、不要な電気回路的な結合を最小とすることができ、応用範囲を広げることができる。

第18図は、本発明の絶縁カプラのさらに他の実施例であり、絶縁帯によって各々絶縁した入力回路及び出力回路を集積回路化して、セ

ラミックキャパシタを絶縁バリヤと組み合わせて絶縁カプラとする場合の集積回路と絶縁カプラの構造を示している。第18図において、

(a) はチップレイアウトの概要であり、(b) はこの IC とセラミックキャパシタの回路基板への実装断面図である。第18図(a)において、303は絶縁カプラ用 IC であり、206-1 および 206-2 はそれぞれ入力回路領域及び出力回路領域を囲む絶縁帯であり、304は外付け絶縁バリヤ、端子領域201 および 205 はそれぞれ外付け絶縁バリヤ304との接続端子C1-O および C2-O, C1-I および C2-I を加えている。その他の符号は第16図と同じ意味である。

第18図(b)において303は絶縁カプラ用 IC、305 および 306 はハンダである。307 は回路基板で、両面に銅箔308, 309, 310, 311 の回路接続パターンを有し、必要に応じてスルーホール312, 313 を設けてある。回路基板307は絶縁性を損なわぬ範囲で必要に応じて銅箔を多層にしても構わない。絶縁バリヤ304はチップキャパシタであり、回路基板にハンダ316, 317 によって表面実装する。このようにすることで、半導体集積回路で比較的大きな面積を占める絶縁バリヤを別チップとして、絶縁カプラの形状寸法は大きくなるが現実的な価格としたり、また、絶縁バリヤのキャパシタ値を積極的に大きくして動作タイミング周波数を自由に選択できる構成法も可能になる。すなわち、キャパシタ値を大きくすることで低周波数特性が向上するので波形伝送しやすくなり、例えば、チャージポンプ回路などにより小さな電力伝達も可能になる利点がある。

以上のように、これらの実施例によれば、半導体集積回路上に無理なく絶縁カプラを形成することが可能であり、集積回路の用途を大きく広げることができる。また、このようにして形成した絶縁カプラは

、小型化と低価格化に大きく貢献する効果がある。

第19図は、本発明のモノリシック回線インターフェイスをカードモデム装置に応用した実施例の概念を示す構造図で、第19図(a)は本発明の実施例、第19図(b)は従来のカードモデムである。第19図(a)において、400は本実施例のカードモデム全体を、401は本実施例の回路基板を、402は本実施例の回線インターフェイスICを、403はAFEを、404はDSPを、405はその他のICを、406は回線側コネクタを、407はPC側コネクタを、408はバリスタを、409は高耐圧キャパシタを、410はキャパシタを、411から416はその他の抵抗及びキャパシタ等のチップ部品である。第19図(b)において、450は従来のカードモデム全体を、451は、従来の回路基板を、452は従来の回線インターフェイスであるライントランスを、453はAFEを、454はDSPを、455はその他のICを、456は回線側コネクタを、457はPC側コネクタを、458はバリスタを、459は高耐圧キャパシタを、460はキャパシタを、461から466はその他の抵抗及びキャパシタ等のチップ部品である。この図はカードモデムの断面を模式的に示したもので、比較して明らかなように、従来のカードモデム450は、回路基板451をくり貫いて、くり貫いた部分にライントランス452を配置しているのに対して、本発明の実施例では回線インターフェイスIC402を402から405に示す他のICとほぼ同様に実装できる。このために、回路基板401をくり貫く必要がなく経済的である。また、特殊なトランスを使用しないことでも経済的にできる可能性がある。さらに、トランスを省略できることで、更なる小型化の可能性を持っている。

第20図は、本発明のモノリシックデジタル絶縁カプラをAFEに応用した場合の1実施例の回路ブロック図である。この実施例のAF

- Eは、音声帯域信号処理用で、アナログとデジタルの変換をオーバーサンプル（2MHz）AD及びDA変換し、デシメータ、インタポレータで一旦32k s p sに下げ、さらに内部DSPによって低域フィルタ処理等をして、最終的に8k s p sの速度でデジタルデータを入力出力するものである。
- 第20図において、500は、デジタル絶縁カプラ501ないし506を内蔵したモノリシックアナログフロントエンド（I-AFE）であり、I-AFE500はAFE本来のマルチプレクサ（MUX）511、パッドアンプ（PDA）512、プレフィルタ（PF1）513、オーバーサンプル・アナログ・ツー・デジタル変換器ADC514、デシメータフィルタ（DCM）515、AD変換出力バッファ（ADCR）516、内蔵（i n-）DSP517、受信出力バッファ（RXDR）518とからなるアナログ入力ラインと、送信バッファ（TXDR）521、DA変換入力バッファ（DACR）522、インタポレータ（INT）523、オーバーサンプル・デジタル・ツー・アナログ変換器DAC514、ポストフィルタ（PF2）525、アッテネータ（ATT）526とからなるアナログ出力ラインと、i n-DSP517のデータ入出力転送制御531、533及びアナログ入出力端子の2線4線変換回路533に制御回路を加えた構成になっている。I-AFE 500の内部は、制御回路（CONT）541によってリセットやパワーダウン制御する。リセット信号は、デジタル絶縁カプラ506を通じて左側（以下アナログ入出力側）の回路に伝えられ、リセット回路542でアナログ入出力側の電源オンオフに伴うリセット信号と合成されて、アナログ入出力側回路のリセット信号として用いる。外部装置がI-AFE500をきめ細かく制御するために制御レジスタ（CONTR）551及び（STATUS）554を用いる。CONTR551（（STATUS'）553

)の内容はデジタル絶縁カプラ504, 503を通じてアナログ(デジタル)入出力回路の制御レジスタ(CONTR')551, STATUS554にコピーされアナログ入出力側回路のSW1ないしSW3やその他の回路の制御及び汎用出力ポート(GPO)のレベルを設定する。I-AFE500の動作タイミングは、外部(e x -)DSP536によって与えられる2MHzのクロック(MCLK)PLLによって8倍の16MHzに変換して、入力された2MHzと合わせて基本タイミングとして用いる。もちろんアナログ入出力回路にもデジタル絶縁カプラ505を通じて伝え、タイミング回路562によって各種タイミングを発生して用いる。

基準電圧発生回路563はアナログ入出力回路に単一電源で動作させるための基準電圧を与えるための回路で、基準電圧VREF: $(V_{DD1} - V_{SS1}) / 2$ を発生する。

次に動作を説明する。2線4線変換回路533は、I-AFE500をモデム装置に用いる場合に公衆回線の2線と内部の送信及び受信の4線との変換をする回路で、回線インピーダンス整合及び入出力アンプ機能を持っている。アナログ入力信号は2線4線変換回路533を経由するかIN+, IN-端子より直接入力するが、どちらかに合わせてあらかじめMUX511を信号SW1によって切り替えて用いる。PDA512は、0dB, 6dBのゲインを信号SW2切り替えることができる。

PF1 513はAD変換前に不要な周波数帯の信号を削除するためのアナログフィルタであり、この実施例ではカットオフ周波数48kHzの2次の低域通過フィルタである。ADC514は2MSPSで動作する2次の $\Delta\Sigma$ 変調器であり、 $0.5\mu s$ ごとに2ビットのAD変換結果を出力する。このAD変換出力をDCM515に伝え32kSPSに間引く。DF1 515の出力は16bit/wになるが

32 k s p s と速度が遅いのでこれを 2 M s p s にシリアル変換し、絶縁カプラ 502 を経由してタイミング信号とともにデジタル入出力側回路の ADC 516 を経由して i n - D S P 517 に伝える。i n - D S P 517 ではこのデシメータ出力を I I R, F I R のデジタル
5 信号処理によって平坦特性補正及び 4 k H z 以下の L P F 処理を行う。処理結果は 8 k s p s ごとに 16 b i t / w のデータとして受信バッファ 518 を通じてシリアルに e x - D S P 236 に伝える。

次に、アナログ出力ラインは、e x - D S P 536 から出力すべきデータ TXD) を送信バッファ TXDR 211 から 8 k s p s 毎に受
10 け取り、i n - D S P 517 によってアナログ入力と同様のフィルタ処理を行い、この結果を 16 b i t / w のデータを DA 出力バッファ (DACR) 522 を経由して補間処理をしながら 32 k s p s の速度で補間フィルタ (INT) 523 に渡すがここでもシリアル変換して絶縁カプラ 501 を経由する。INT 523 は、さらに補間処理を
15 して、6 b i t / w のデータとして、2 M s p s の速度で DAC 514 に渡しアナログ値を出力する。i n - D S P 517, INT 523 による処理で残った折り返し成分をポストフィルタ PF 2 525 によって除去し、0 d B, -6 d B, $-\infty$ d B を切り替えることが出来る A T T 226 を経由して出力する。これらアナログ出力ラインの動作タイミングはアナログ入力ラインのタイミングを用いる。
20

これらの処理のタイミングは、基本的に 2 M H z のタイミングの中に同じタイミングの $\Delta \Sigma$ 変復調器の処理タイミング、2 M s p s と 32 k s p s で入出力するインタポレータ及びデシメータ処理タイミング、および 32 k s p s と 8 k s p s で入出力する D S P 処理タイミ
25 ングを整然と割り付けたタイミングになっている。従って、絶縁カプラ 201 ないし 205 でアナログ入出力側回路とデジタル入出力側回路を分けたがこれらを同期して動作させることが必要不可欠でタイミ

ング専用のアイソレータ設定の重要さがここにある。

次に、この I-AFE 500 を ex-DSP 536 とともにモデムへの応用を説明する。

ex-DSP 536 から見た I-AFE 500 は、アナログ信号の入出力回路であるが、そのサンプルタイミングが重要で、このために、大抵のモデムは、復調時に最も識別判定に有利なタイミングになるように ADC 514 のサンプルタイミングを調整する。このために、ex-DSP 536 から I-AFE 500 にはクロック MCLK でタイミングの遅れ進みを伝える。すなわち、タイミングを早めたいときには Δf を加え、遅らせたいときには $-\Delta f$ を加えて I-AFE 500 に知らせる。この処理は、数 10 ms ないし数 100 ms 毎に行なわれる。I-AFE 500 が勝手なタイミングで動作すると、ex-DSP 536 の要求するタイミングと合わないので、データの過不足が生じて処理タイミングの破綻が生じ大きな雑音が生じることになる。この遅れ進みするクロックに I-AFE 500 を同期させるために I-AFE 500 内部には PLL を配置して内部タイミングを同期させる。もちろんタイミング精度要求が許すならばモデム内の自動等化手段のタイミング誤差を用いて、補完する方法もありこの場合は回路的なタイミング調整は実施しない。

この実施例では、デシメータ、インタポレータと in-DSP の間のデータ転送はシリアル高速転送にしたために絶縁カプラ数を減らす効果がある。なお、モデムには複数の規格を含むので複数のサンプルタイミングを要求する場合があるがこれに対応するために PLL 561 及びタイミング回路 562 の分周比を CONTR 562 によって制御可能にしている。さらに、これら制御信号を伝達する絶縁カプラには、前述した誤り訂正手段を適用することで、動作の安定化を図ることができる。

なお、本実施例では、デジタルフィルタを内部DSP517によって信号処理する構成を示したが、内部DSPの処理はAD変換及びDA変換のための専用処理であり、これらの回路は、適当な専用ロジックで形成してもかまわない。専用ロジックで構成することにより、より経済的な集積化がはかれる場合がある。また、アナログ入力ラインとアナログ出力ラインの2系統を一つの処理手段で処理してもよい。

次に、第21図によって、第20図の回路の集積回路上のレイアウト概念を示す。第21図において、全体600がAFE集積回路全体を示し、SOI基板の上に形成している。絶縁帯601がアナログ入出力回路領域を、絶縁帯602が絶縁カップラ（Isolator 501ないし506で示す）を、絶縁帯603デジタル入出力回路領域を、絶縁帯604がウェーハ上の他のチップ領域と、領域間を絶縁をする手段であり、また、絶縁帯604がスクライブ端面を通じた基板との回路的な結合を防止する手段である。各領域中のさらに細分化した領域に付した名前はそれぞれ第20図と対応している。

このレイアウトの特徴は、各回路領域をさらにトレンチで囲ってアナログ入出力側回路領域601、絶縁カップラ領域602、デジタル入出力側回路領域603とし、①各領域間に2重トレンチほどこして領域間絶縁をし、さらに、②全体をトレンチ604で囲むことでチップ間の絶縁を取っていることである。なおトレンチ604は、多重トレンチである。

なお、回路領域601ないし603内の各回路ブロックはトレンチで囲むことで回路間の絶縁分離及び素子分離をしているがこれをさらに多重トレンチとし、トレンチ間を接地することで相互干渉による雑音シールドを形成することが出来る。また、回路領域のトレンチの多重度は高耐圧キャパシタ部のトレンチの多重度よりも1段高い多重度とすることで、破壊モードをキャパシタ部に限定するように絶縁協調

を考慮している。このことで、規格以上の高電圧がかかった場合でも被害を限定してシステムを構築できる効果がある。

次に、第22図は、第20図のI-AFEを適用したDSPモデムの実施例の回路図である。第22図において500はI-AFE、700はex-DSPであり、モデムを電話回線と接続すると接続する端子をTIP, RINGには、抵抗701, 702と容量703, 704とサージ保護素子705とで構成する保護回路を経由して接続する。706, 707はNMOSトランジスタで形成したSWでこれは受光素子（例えば太陽電池）708に接続される。受光素子708は発光ダイオード709の光を受けて706, 707をオンオフしてこのスイッチの右側の回路にTIP, RINGを通じて供給される電力を供給する。発光ダイオード709はトランジスタ710, 抵抗711, 712からなるスイッチ回路で発光を制御される。このスイッチの制御信号はPOWER ONである。ダイオード713, 714, 715, 716はブリッジを構成して、TIP, RINGに加わる直流電圧の方向に関わらず電流の方向を一定にする働きを持つ。抵抗717, 718, 容量719, トランジスタ720, 721, 抵抗722, NMOSトランジスタ723からなる回路は直流閉結回路であり、I-AFE 500の制御出力端子GPOがハイになるとNMOSトランジスタがオンして、抵抗717と718のバイアスに従ってダーリントントランジスタ回路720, 721が動作して、帰還抵抗722とバランスしたところのループ（閉結）電流を流す。抵抗724, 18Vツェナーダイオード725からなる回路は3端子レギュレータ726およびI-AFE 500に過大な電圧印加を阻止する保護回路である。容量727は平滑キャパシタ、容量728及び740はI-AFEの出力回路と信号結合用キャパシタである。

モデムで送信するときには、最初にPOWER ON信号を発生し

てNMOSスイッチ706, 707をオンして3端子レギュレータ726を回線と接続してAFEに電流を供給し、次に、TXDからCONTRを通じてGPOをハイレベルにしてNMOSスイッチ723オンして、ループ電流を流して局の交換機にモデムを回線に接続したことを知らせる。次に、モデムからI-AFE500を容量728、440を通じてダイヤル信号を送出し、交換機が相手モデムを接続するのを待つ。接続された相手モデムは、通常のモデム信号を発生するので、以降お互いにAFEを通じてモデム通信を行う。容量729, ツェナーダイオード730, 731は一定電圧以下の着信信号に
5 応答しなくする感度調整回路で、抵抗732はダイオード733又は発光ダイオード734の電流制限抵抗であり、ホトトランジスタ735は抵抗736を負荷として発光ダイオード734に着信信号が流れたときに、発光光を検出してモデム700にRING DETECT信号として伝えるものである。モデムの受信時はこの信号がモデムに通知され、POWER ON端子がこれに
10 応答してNMOSスイッチ706, 707及び723をオンしてループ電流を流して電源を入れ、容量728および740を通じてモデム応答信号を返す。これ以降のモデム信号の送受信は、送信時とほぼ同じである。

以上、第20図から第22図で説明した本実施例によれば、以下の
20 ような特徴と効果が得られる。第1の特徴は、I-AFEの絶縁カプラ配列から左側の個別部品の回路を含めてアナログ入出力側回路はすべて右側のデジタル入出力回路を絶縁していることが特徴である。従来は絶縁トランスを用いて絶縁してむしろ右側においた部分であり、本実施例のI-AFEによってトランスを削除でき小型なモデム装置
25 を構築することが出来る。また、第2の特徴はI-AFEのアナログ入出力側の回路に局からの給電を受けて電源を供給していることであり、このためにアナログ入出力部の電源をモデム装置側から供給する

必要がなくなって、全体の消費電力低減に貢献している。第3の特徴は個別部品部のスイッチをPOWER ONスイッチ 706, 707とループ電流スイッチ723とに分けていることで、これによって回線接続開始時にループ電流を流さずにAFEに電源を供給して例えば、発信者番号通知など、交換機とモデムでの信号のやりとりに利用
5 することが出来る。

AFE内の絶縁カプラの挿入位置は第20図とは変更してもよい。例えば、絶縁カプラをADC, DACと、デシメータ, インターポレータとの間に配置する。この部分のデータ転送速度は $2\text{ bit}/w \times 2\text{ Msp s}$ あるいは $6\text{ bit}/w \times 2\text{ Msp s}$ と速いので絶縁カプラ
10 を並列にして用いており、このために、転送動作による遅延時間がほぼ無視できる。このために、例えばエコーキャンセラや終端をin-DSPで処理する場合には第20図の場合に比べて、処理性能の制約が少ないメリットがある。

15 なお、NMOSスイッチ706, 707のオンオフ制御回路として、チャージポンプ回路を用いてもよい。チャージポンプ回路は、複数の容量と、この容量に電荷を供給するドライバと、電荷供給を制御する複数のスイッチとからなり、ドライバとスイッチによりある容量に電荷を供給し、次にスイッチを切り替えて他の容量に電荷を移す、と
20 いう操作を高速で繰り返すことにより、他の容量に電圧を得る回路である。第22図の回路にこのチャージポンプ回路を適用すれば、本発明による絶縁バリヤと、インバータドライバとスイッチングダイオードとを加えることによって、シリコン半導体素子のみでオンオフ制御回路を構成できる。従って、オンオフ制御回路をI-AFEと一緒に
25 SOI基板に集積化できるので、モデム装置の部品点数をさらに少なくすることができる。

以上、絶縁カプラへのAFEへの応用例を示したが、本実施例によ

れば、上記したように絶縁カップラはI-AFEあたり8ないし13個使用するにもかかわらず、チップレイアウト上はAFE全体の10%以下と小面積に出来る効果がある。もちろん絶縁カップラを並列数の倍数の高速度で動作させて使用することで、絶縁カップラの使用数を減らすような構成をとってもかまわない。いずれにしても、絶縁トランスや、外付けの高耐圧キャパシタを用いる絶縁カップラを用いる場合に比較して、著しく小形化できる効果は変わらない。なお、この集積回路は大量生産に適しているために、経済化がはかれることも特長である。特に、最近の高速モデムはトランスに高性能を要求し、この為

5 為にコア材にパーマロイなどの高価な材料を用いているために、安価な、珪素鋼板を用いる場合に比べて2ないし3倍も部品費用がかかっている。この意味で、本実施例を適用すれば、高速モデム分野では、小型化だけではなく、経済化にも大きく寄与する効果がある。なお、以上説明したように、本実施例によれば、極めて小型のオンチップ高耐

10 圧キャパシタ、また、極めて小型のモノリシック絶縁カップラを実現でき、これを用いることで小型なAFEを実現でき、このAFEを用いることで小形、経済的なモデム装置を実現できる効果がある。

第23図はデム装置と、ホスト(PC)とを組み合わせた通信システムの1実施例の構成図である。第23図(a)において、810は例えば第22図に記載されたディスクリット回路の部分で、保護素子、接続スイッチ、直流閉結回路、直流閉結スイッチ(DC loop)、呼出信号検出回路等を含むDAA(Direct Access Arrangement)手段。

20 811はI-AFEのような絶縁、フィルタ、AD、DA手段、812はDSPのような変調復調手段、813はMPU、メモリ、ソフト等から成る伝送制御手段であり、これらでモデム部800を構成している。また、801はPCのような応用制御手段で、WS、PC、PDA等の内部のホストCPUや専用DSP、または集合モデムの全

25

体制御CPUであり、ここではPC基本部又はホストと呼ぶ。

なお、応用制御手段としては、上述したもののほかに、デジタル信号を扱う各種のデジタル機器や端末機器が有る。

第23図(a)は、DSP、MPU、PCにより階層的に信号処理を分担するように構成した、いわば、従来型モデム構成にI-AFEを用いた実施例であり、I-AFEによって、従来はDAA内にあった高価で形状が大きい絶縁トランスを削除し、ホトカプラ数を低減して、装置の小型化、経済化に貢献している。なお、モノリシック絶縁カプラはAFE内に内蔵されたが、必要に応じて他の部分と組み合わせ

5 10

て構成することができる。また、I-AFEとDSPとを一体化する集積化をしても良い。

第23図(b)はI-AFEを用いたソフトモデム装置の1実施例の構成図である。第23図(b)において、第23図(a)と同じ符号は同一名称であり、822は変調復調手段811と応用制御手段803とを接続するインタフェース(I/F)手段で約0.5Mbyteのバッファメモリとその他の制御論理回路を含む。この構成の特徴は、変調復調手段、伝送制御手段をホストCPUにより一括処理することで、変調復調手段(DSP)812、伝送制御手段(MPU)813のハードを削減し、モデム装置の大幅な小型化、経済化を実現するものである。この構成の場合はモデム部分のハードが少なくなった分、際立ってモノリシック絶縁カプラによる小型化、経済化の効果が大きく見える。この構成でも、モノリシック絶縁カプラはAFE以外と組み合わせても良い。I/F手段は、AD、DA変換データを一時記憶するのが主たる機能であり、I-AFEと一体化して集積化すれば、一層モデム装置が小型になる。一方、I/F手段822は、応用

15 20 25

制御手段803と一体化しても良い。モデム部とPC部が一体となる、ノートPC、PDA、集合型モデム装置等では、元々、このモデム

部という区分は稀薄であり、他の要請によって配置を決めて良い。

以上のように、モデム装置及びモデムを用いた通信システムにおいても、I-AFE、つまり、モノリシック絶縁カプラを用いることにより絶縁トランスを削除し、ホトカプラ数を低減して小型化、経済化が図れることが明らかである。

なお、モデム部とPC部の境界は標準化という点では、PCI規格のような並列バス、IEEE1394、USBのようなシリアルバスがあり、これらに適合する構成をとるのが本発明の適用を広げるに有効であり、小型化、経済化の効果がある。

- 10 第24図は、さらに他の実施例のシステム構成図である。第24図において、850はコントローラ、860～862は絶縁カプラ、851はトランシーバ、852は電源レギュレータで、これらによって1つのステーション840を構成している。841は内部を開示していないが他のステーションであり、図示していないが、更に他の複数
- 15 のステーションを想定しており、これらのステーションは、信号バス871と電源バス872と図示していない制御信号バスと、電源880とを含むネットワークバス870に各々並列に接続している。これらのステーションは、コントローラ及び応用回路（コントローラ側回路部分）850と、トランシーバ851、電源レギュレータ852
- 20 （ネットワーク側回路部分）は、絶縁カプラ860～862によって絶縁分離しており、ネットワーク側回路部分は電源バス872より電源を供給するように、トランシーバ851は、絶縁カプラ860～862を通じてコントローラ及び応用回路850と信号バス871とを接続している。なお、絶縁カプラはコントローラ及び応用回路8
- 25 50とトランシーバ851を接続して、トランシーバ851のスタンバイ動作を制御する。あるステーション840と他のステーションとの間で通信を実行するには、起動するステーションからトランシーバ

のスタンバイを解除し、受信信号Rを監視することで、信号バス871の空きを知り、他のステーション宛の送信信号Tを送信する。他のステーションは、時々トランシーバのスタンバイを解除して、受信信号R監視したり、図示せぬネットワークバスの制御信号バスの状態を監視したりして、自分のステーション宛の信号であるかどうかを知り、
5 そうであれば引き続いて信号を受信するというように制御する。なお、これらの制御シーケンスは1例であり変形は可能である。これらネットワークに接続する機器に共通して云えることは、ネットワークとステーションの絶縁分離である。つまり、モデム同様にネットワークと端末とは他に異常な事態で異常電圧が発生しても、これを拡散させないようにすることが不可欠であり、従来は高価なトランスやホット
10 コプラがこの絶縁手段として使われていた。このために小型化、経済化の問題があった。

本実施例のように、モノリシック絶縁カプラを適用することで、システムとして小型化、経済化が図れるばかりでなく、コントローラ回路、トランシーバ回路等と適宜組み合わせでIC化することにより、
15 回路としても小型化、経済化が図れる利点がある。

以上、実施例で説明したように、本発明によれば、モデム装置だけでなく、ネットワーク装置の小型化、経済化が実現できるメリットがある。
20 ある。

なお、これらの例では、ネットワークから電源供給がある事例について説明したが、応用回路側から絶縁して電源供給すれば他の通信システム及び装置にも適用できる。この場合、経済化の効果は幾分低下するが、小型化の利点と合わせて有効な場合がある。

25 第25図は、絶縁体が一筆書きではなく、第15図(c)のようにT字或いはY字形の接続を許す場合の、第16図に対応した絶縁カプラのレイアウト図である。第25図において、201から207は第

16図と同一名称である。絶縁帯206'は丸で囲んだ6個所の部分でY字形の接続部分があり、これによって、一つの入力回路領域と二つの絶縁バリヤと一つの出力回路領域とを各々絶縁分離している。このように絶縁体206'を配置することで、第16図にあったような、
5、入力回路と絶縁バリヤの配線や、絶縁バリヤと出力回路間の配線をする際に、高い絶縁を考慮する必要があった領域間の領域や絶縁バリヤの中間電極領域との間の絶縁を考慮する必要がなくなる効果がある。

第26図は本発明の実施例であるデジタル絶縁カプラのブロック
10 図である。

まず、1次側回路領域と、絶縁バリヤと、2次側回路領域とは、同一半導体基板上で絶縁分離されている。Pls__in及び、Pls__outはそれぞれ、絶縁カプラの入力パルス信号、及び、出力パルス信号である。901は入力パルス信号Pls__inを元に相補のパルス信号を発生する差動増幅回路である。902は差動増幅回路901により駆動された相補パルス信号を高い絶縁耐圧をもって、2次側に結合する容量性の絶縁バリアである。903は絶縁バリア902により1次側から結合された信号を微分する微分回路である。904は微分回路903により微分された信号対を入力して、微分信号対の各々のエッジを検出して増幅する遷移検出回路である。905は遷移検出回路4の出力信号を用いて入力パルス信号Pls__inを再生（復調）して出力パルス信号Pls__outを出力するパルス再生（復調）手段である。

本実施例では絶縁バリア2を含む全ての回路をモノリシックIC内に構成すると共に、1次側回路領域と絶縁バリヤと2次側回路領域とを絶縁分離して同一半導体基板上に形成することによりデジタル絶縁カプラの小型化を実現できる。また、本実施例では、1次側から2

次側への信号転送をデジタル信号で行っているためデジタル絶縁カプラであるが、本実施例の入力部および出力部にそれぞれ、AD変換回路およびDA変換回路を設けることにより、容易にアナログ絶縁カプラを実現することもできる。

- 5 第27図は本発明の実施例であるデジタル絶縁カプラの具体的な回路図である

。また、第28図は第27図の回路の動作波形を示す図である。第27図及び第28図を用いて本発明によるデジタル絶縁カプラの具体的な実施例である回路の動作を説明する。

- 10 第27図において、910は入力パルス信号P1s_inを入力して相補のパルス信号対P1s_1を出力する差動増幅回路である。初段はCMOSの差動アンプで構成され、基準電圧Vrefと入力パルス信号P1s_inとの比較結果を相補信号で出力する。次段（駆動段）のドライバはCMOSインバータで構成され、これにより、ほぼ
- 15 電源電圧に等しい振幅を有する相補のパルス信号対（差動増幅回路出力）P1s_1を出力する。920は1次側と2次側との絶縁耐圧を有する容量性の絶縁バリヤである。1次側及び2次側の各々の端子はそれぞれ、高電位電源（VDD1又は、VDD2）との間、また、低電位電源（VSS1又は、VSS2）との間とに逆方向接続のダイオード
- 20 を設け、ノイズ等によるサージを吸収する手段としている。絶縁バリヤそのものも、前述するように、同一半導体集積装置内に形成した高耐圧の容量（キャパシタ）を用いて構成する。930は、1次側からの容量性結合により2次側の端子に微分波形を出力するために設けた微分手段を成す負荷抵抗である。負荷抵抗は高電位電源VDD2と
- 25 2次側の端子間を短絡するように設けている。このため、2次側の端子は定常的には高電位電源VDD2の電位に固定され、1次側の端子の“Hi”レベルから“Lo”レベルに遷移した時に、“Lo”レベ

ル側へスパイク状の微分波形を発生する。940は、微分信号対P1s__3を入力して、入力パルス信号P1s__inの立ち上がりエッジと立ち下がりエッジの各々を検出してワンショットパルスP1s__4を発生する遷移検出回路である。入力段は、微分信号対P1s__3を互いに逆接続して入力信号とする、対のCMOS差動アンプを用いる。対のCMOS差動アンプは、各々、シングルエンドの信号を出力する。CMOS差動アンプの入力信号は定常的に同レベルとなるため、負荷はPMOSのカレントミラーで構成した。

CMOS差動アンプは微分信号対P1s__3に電位差が生じた（入力パルス信号P1s__inが遷移した）時にのみ、その電位差に対する差動出力（個々のCMOS差動アンプはシングルエンド出力）P1s__40を出力する。よって、対のCMOS差動アンプの出力P1s__40は定常的には同一のレベルとなる。このため、次段のPMOS入力のレベル変換回路の出力は入力信号が同一レベルの時に中間レベル（次段のゲートの論理しきい値付近のレベル）を出力しないように設計する必要がある。例えば、本実施例の場合、次段のフリップフロップからなるパルス再生（復調）回路はCMOSのNANDゲートで受けるため、P1s__40が同一レベルの時は“Hi”レベルを出力するようにレベル変換回路のMOSのゲート幅等を設計する。よって、レベル変換回路は、入力側のPMOS1のゲート幅Wp1とNMOS1のゲート幅Wn1との比と、出力側のPMOS2のゲート幅Wp2とNMOS2のゲート幅Wn2との比は同じにならないようにする。遷移検出回路940の出力は定常的には双方とも“Hi”レベルであり、入力パルス信号P1s__inの遷移に対応して、立ち上がり時に一方に、また、立ち下がり時に他方に“Lo”レベルのワンショットパルスを発生する。950は遷移検出回路の出力信号P1s__4により、入力パルス信号P1s__inを2次側に再生して出力パルスP1s__

outを出力するフリップフロップで構成されたパルス再生回路である。本実施例は2組のCMOS-NANDゲートで構成されるフリップフロップと、1組のCMOSインバータのドライバとでパルス再生回路を構成した例である。必要によりフリップフロップをリセットするための手段を盛り込むこともできる。

本実施例の絶縁カプラでは2次側の端子が負荷抵抗を介して高電位電源VDD2に短絡されているため、1次側の立ち下がり動作が重要になってくる。このため、差動増幅回路910の出力段CMOSインバータは、例えば、CMOSインバータのように論理しきい値VLTを、 $(VDD - VSS) / 2$ より低く設定すると、立ち下がりの変移時間が短くなりタイミングのバラツキを抑えることができる。本実施例の説明に当たっては回路の遅延時間に関して特に触れていないが、動作の説明に係わる入力パルス信号のパルス幅などに比して回路の遅延時間が十分小さい場合であり、回路の遅延時間はあるものの特に考慮しない。

本実施例によれば、回路の構成要素を全て同一の半導体集積回路装置内に構成するため小型化、低価格化、高信頼化が図れる。また、本実施例では絶縁バリヤ前後の回路を差動回路で構成しているためコモンモードノイズの耐性を図ることができ、S/Nを向上することができる。また、絶縁バリヤ後段の回路を対の差動アンプで構成することにより、CMRRに優れた増幅回路を実現できる。ここでCMRRとはCommon Mode Rejection Rateの略称であり、いわゆる同相信号除去比のことである。更に回路を単純なCMOSゲートで構成しているため、5V以下(1.8V程度まで)の低電圧化にも十分対応できると共に、消費電力を抑える効果もある。

SOIウェーハの基板は、本来接地して使用するのが一般的であるが、基板を浮動電位とすることで、入力回路と出力回路間には二重に

埋め込み絶縁層が入り、より高い耐圧とすることができる。しかし、一方で、以下のような問題がある。

第29図は、複数の絶縁カプラを同一のSOI半導体基板上に搭載した場合に、基板を浮動電位とした場合に問題となる場合のある絶縁カプラ間のクロストークの影響を軽減する手段を示す。

第29図において、①IN1と②IN1は絶縁カプラ961および962の信号入力端子を、①OUT2と②OUT2はアイソレータ961と962の信号出力端子を示す。端子POWER1とPOWER2はそれぞれ絶縁カプラの一次回路および二次回路へ供給する電源端子であり、それぞれ容量963および964によってSOIウエーハの基板965に接続している。なお、容量966と967は絶縁カプラ961および962の基板965との間に存在する浮遊容量であり、大部分は絶縁バリヤと基板との間の結合容量である。このような構成においては、第一の絶縁カプラ961が動作すると容量966を通じて基板に漏れた信号成分が生じ、これが容量967や図示せぬ二次回路と基板の結合容量によって第二の絶縁カプラの動作に影響を与える心配があるが、この場合に容量963および964を接続したためにを基板に生じた雑音はこれらの容量を通じて低いインピーダンスの電源に吸収される。これらの絶縁カプラが逆の場合にも同じである。

容量値は966, 967が1 pF、963, 964は100 pFないし1000 pFにすると効果が著しい。なお、この実施例では、容量963, 964は半導体とは別個の部品として説明したが、I-AFEなどのように、絶縁カプラ以外の回路面積が大きくて、結果的に一次回路及び二次回路と基板に対するそれぞれの結合用量が大きい場合には容量の付加は不要である。このように、複数の絶縁カプラが異なる方向を向いている場合にも同様の作用効果が得られる。

以上説明したように、本実施例によれば、基板が浮動電位のときに

、一次回路及び二次回路と基板との間の結合容量を大きくとるか半導体の外で基板と電源との間に大きな容量を接続することによってクロストークの影響を軽減することができる効果がある。

- なお、基板を浮動電位にしたときに最も高い耐圧性能が出せるのは、基板と入力回路の間の結合容量と、基板と出力側回路との結合容量とが、等しい値のときである。しかし何らかの条件で、この容量のバランスが取れない場合には、上記した外付け容量によって、クロストーク対策をかねて兼用することができる。なお、この容量としてサージ吸収素子を用いる事も可能であり、この場合、上記した効果のほかにサージ抑圧の効果が得られる。

産業上の利用可能性

- 本発明によれば、小型で高性能な絶縁カップラ及びモデムインターフェイス回路、及び小型で経済的なモデム装置を実現できる効果がある。

請求の範囲

1. 応用制御手段と回線との間において信号を変調及び復調するモデム装置において、
- 5 応用制御手段と回線とを容量性絶縁バリヤによって分離する絶縁カプラを備え、
少なくとも容量性絶縁バリヤがSOI基板に形成されることを特徴とするモデム装置。
2. 請求項1のモデム装置において、回線と接続され回線との間で信号を入出力する回線側回路と、入出力信号を変調または復調するDSPと、回線側回路とDSPとの間のアナログ・デジタルインターフェースと、を備えることを特徴とするモデム装置。
- 10 3. 請求項2のモデム装置において、絶縁カプラは、回線側回路とアナログ・デジタルインターフェースとの間に接続され、回線側回路及び絶縁カプラがSOI基板に集積されることを特徴とするモデム装置。
- 15 。
4. 請求項2のモデム装置において、絶縁カプラは、アナログ・デジタルインターフェースとDSPとの間に接続され、回線側回路、アナログ・デジタルインターフェース及び絶縁カプラがSOI基板に集積されることを特徴とするモデム装置。
- 20 5. 請求項2のモデム装置において、容量性絶縁バリヤを使用したチャージポンプ回路によってCMOSスイッチを駆動して、回線側回路を制御することを特徴とするモデム装置。
6. 請求項2のモデム装置において、直流閉結制御信号をオンすることによって着信検出信号パスを制御することを特徴とするモデム装置。
- 25 。
7. 請求項2のモデム装置において、制御信号とDA変換、内部状態

信号とAD信号とをマルチプレクスすることを特徴とするモデム装置

。

8. 請求項8のモデム装置において、音声帯域信号を圧縮することを特徴とするモデム装置。

5 9. 請求項2のモデム装置において、回線側回路、アナログ・デジタルインターフェース及び絶縁カプラの動作タイミングをDSPの動作クロックと同期させることを特徴とするモデム装置。

10. 請求項2のモデム装置において、制御信号を誤り訂正符号化してから絶縁カプラを通じて信号伝送することを特徴とするモデム装置。

10 11. 応用制御手段と回線との間において信号を変調及び復調するモデム装置において、

回線と接続され回線との間で信号を入出力する回線側回路と、入出力信号を変調または復調するDSPと、回線側回路とDSPとの間のアナログ・デジタルインターフェースと、応用制御手段と回線とを分離する絶縁カプラと、を備え、

15

回線側回路、アナログ・デジタルインターフェース及び絶縁カプラの動作タイミングをDSPの動作クロックと同期させることを特徴とするモデム装置。

12. 請求項10のモデム装置において、モデム信号受信用絶縁カプラの搬送波クロックを直流閉結制御信号パス用クロックから再生して用いることを特徴とするモデム装置。

20 13. 応用制御手段と回線との間において信号を変調及び復調するモデム装置において、

回線と接続され回線との間で信号を入出力する回線側回路と、入出力信号を変調または復調するDSPと、回線側回路とDSPとの間のアナログ・デジタルインターフェースと、応用制御手段と回線とを分離する絶縁カプラと、を備え、

25

制御信号を誤り訂正符号化してから絶縁カプラを通じて信号伝送することを特徴とするモデム装置。

14. 応用制御手段と、応用制御手段と回線との間において信号を変調及び復調するモデム装置と、を備えるシステムにおいて、

- 5 モデム装置が、応用制御手段と回線とを容量性絶縁バリヤによって分離する絶縁カプラを備え、少なくとも容量性絶縁バリヤがSOI基板に形成されることを特徴とするシステム。

15. 応用制御手段と回線との間において信号を変調及び復調するモデム装置に用いられる集積回路において、回線と接続され回線との間で
10 信号を入出力する回線側回路と、回線側回路に接続され、回線と応用制御手段との間を絶縁分離する容量性絶縁バリヤとを同じSOI基板に形成したことを特徴とする集積回路。

16. 応用制御手段と回線との間において信号を変調及び復調するモデム装置に用いられる集積回路において、アナログ・デジタルインター
15 フェースと、アナログ・デジタルインターフェースに接続され、回線と応用制御手段との間を絶縁分離する容量性絶縁バリヤとを同じSOI基板に形成したことを特徴とする集積回路。

17. SOI基板に、埋め込み絶縁層に達する溝を形成し、該溝を絶縁物で埋め込むことによって絶縁帯を形成し、該絶縁帯でSOI基板の
20 シリコン領域を囲み容量を形成したことを特徴とする容量性絶縁バリヤ。

18. 請求項17の容量性絶縁バリヤにおいて、多重の絶縁帯によって直列容量を形成することを特徴とする容量性絶縁バリヤ。

19. 請求項17の容量性絶縁バリヤにおいて、SOI基板の表面に、
25 多層の配線層間膜を形成することを特徴とする容量性絶縁バリヤ。

20. 同一のSOIウェーハに、埋め込み絶縁層に達する溝を形成し、該溝を絶縁物で埋め込むことによって絶縁帯を形成し、該絶縁帯で

- SOIウェーハ上のシリコン領域を囲み容量を形成した容量性絶縁バリヤと、入力回路と、出力回路と、を形成し、これらを絶縁帯で囲んで各領域となして領域相互間を絶縁し、入力回路と絶縁バリヤの一方の電極間及び容量性絶縁バリヤの他方の電極間と出力回路とを配線することを特徴とする絶縁カプラ。
- 5 21. 請求項20の絶縁カプラにおいて、SOI基板上に、入力回路の領域と出力回路の領域とを絶縁バリヤを挟んで配置することを特徴とする絶縁カプラ。
22. 請求項20の絶縁カプラにおいて、絶縁カプラを形成した領域を絶縁帯で囲んだことを特徴とする絶縁カプラ。
- 10 23. 請求項20の絶縁カプラにおいて、回路領域の内部を、絶縁帯によって、電源に直接接続する回路領域及び接地端子に直接接続する領域とに分離したことを特徴とする絶縁カプラ。
24. 請求項20の絶縁カプラにおいて、複数の容量性絶縁バリヤを備え、複数の絶縁バリヤ間の中間領域を接地することを特徴とする絶縁カプラ。
- 15 25. 請求項20の絶縁カプラにおいて、チップ上の最外周に多重の絶縁トレンチを配置したことを特徴とする絶縁カプラ。
26. 請求項20の絶縁カプラにおいて、絶縁バリヤと入力回路及び出力回路との間に非線型素子を有する保護回路を配置したことを特徴とする絶縁カプラ。
- 20 27. 請求項20の絶縁カプラにおいて、入力回路または出力回路をCMOS回路とし、該CMOS回路の領域を、絶縁帯によってPMOS領域及びNMOS領域に分離したことを特徴とする絶縁カプラ。
- 25 28. 請求項20の絶縁カプラにおいて、入力回路領域、出力回路領域及び容量性絶縁バリヤが絶縁帯で囲まれ、回路領域の絶縁帯の多重度を容量性絶縁バリヤの絶縁帯の多重度よりも少なくとも1段高い多重

度とすることを特徴とする絶縁カプラ。

29. 入力回路と、出力回路と、入力回路と出力回路とを絶縁分離する容量性絶縁バリヤを有し、少なくとも容量性絶縁バリヤがSOI基板に形成されることを特徴とする絶縁カプラ。

- 5 30. 少なくとも、入力回路と、出力回路と、入力回路と出力回路とを絶縁分離する容量性絶縁バリヤが同一半導体基板に集積化され、容量性絶縁バリヤの出力信号を検出する検出回路の前に前置増幅器を配置したことを特徴とする絶縁カプラ。

- 10 31. 同一のSOIウェーハに、埋め込み絶縁層に達する溝を形成し、該溝を絶縁物で埋め込むことによって絶縁帯を形成し、該絶縁帯でSOIウェーハ上のシリコン領域を囲み容量を形成した容量性絶縁バリヤと、入力回路と、出力回路と、を形成し、容量性絶縁バリヤの領域と、入力回路の領域と、出力回路の領域とを絶縁分離する絶縁帯が、T字或いはY字形の接続箇所を有することを特徴とする絶縁カプラ。

- 15 32. 互いに絶縁分離された1次側である第1の回路領域と、2次側である第2の回路領域とが、同一の半導体基板上に形成され、第1の回路領域にあって、デジタル信号である第1のパルス信号を入力して相補信号である第2のパルス信号対を出力する差動増幅回路と、前記半導体基板上にあって、第2のパルス信号対を、電氣的に分離した

- 20 1次側から2次側へ結合するキャパシタ対からなる絶縁分離手段と、第2の回路領域にあって、1次側からの結合により、第2のパルス信号対の遷移タイミングに対応した微分波形を有する第3のパルス信号対を発生する対の微分手段と、第2の回路領域にあって、第3のパルス信号対を入力信号とし、前記微分手段により得られた微分信号対のエッジのタイミングから、デジタル信号である前記第1のパルス信号を再生するパルス復調手段とを有することを特徴とする絶縁カプラ

。

33. 請求項 3 2 の絶縁カプラにおいて、微分手段が絶縁分離手段の 2 次側の端子と 2 次側の高電位電源との間に設けた抵抗素子で構成され、定常レベルが高電位電源レベルであることを特徴とする絶縁カプラ。
- 5 34. 請求項 3 3 の絶縁カプラにおいて、第 1 のパルス信号を入力して相補信号である第 2 のパルス信号対を出力する第 1 の差動増幅回路の出力段の論理しきい値が、前記出力段の電源電圧の 2 分の 1 より低いレベルであることを特徴とする絶縁カプラ。
- 10 35. 請求項 3 2 の絶縁カプラにおいて、前記差動増幅回路及び前記パルス復調手段が CMOS で構成されていることを特徴とする絶縁カプラ。
36. 請求項 3 2 において、前記パルス復調手段の初段が対の差動回路で構成されていることを特徴とする絶縁カプラ。
- 15 37. SOI ウェハに、埋め込み絶縁層に達する溝を絶縁物で充填した帯状の領域を誘電体とした容量領域と、容量駆動回路を含む入力回路領域と、容量経由信号検出回路を含む出力回路領域とを備え、SOI ウェハの基板電位を浮動電位とすることを特徴とする絶縁カプラ。
- 20 38. SOI ウェハ上に、埋め込み絶縁層に達する溝を絶縁物で充填した帯状の領域を誘電体とした容量領域と、容量駆動回路を含む入力回路領域と、容量経由信号検出回路を含む出力回路領域とを備え、SOI ウェハの基板電位を浮動電位とし、外付けコンデンサを基板と電源あるいは接地との間に接続することを特徴とするモノリシック絶縁カプラ。
- 25 39. アナログ・デジタルインターフェースである AFE (Analog Front End) 回路と、 AFE 回路のアナログ入出力回路とデジタル入出力回路との間を絶縁分離する容量性絶縁バリヤを有する絶縁カプラ

と、を同一のSOI基板上に形成することを特徴とするAFE集積回路。

40. 請求項39のAFE集積回路において、AFE回路のAD変換回路及びDA変換回路がオーバーサンプル方式であり、絶縁カプラを、
5、オーバーサンプルAD回路とAD用デジタル信号処理回路との間、及びオーバーサンプルDA回路とDA用デジタル信号処理回路との間に挿入したことを特徴とするAFE集積回路。

41. 請求項39のAFE集積回路において、アナログ入出力側回路とデジタル入出力側回路との間にタイミング同期用の絶縁カプラを配置
10したことを特徴とするAFE集積回路。

42. 請求項40のAFE集積回路において、モデム信号処理の結果生じたADCのサンプルタイミングの遅れ進みを、オーバーサンプルタイミングクロック周波数の微小変化としてAFE回路に伝え、AFE回路ではこれに内部クロックをPLL (Phase Locked Loop) 同期し
15て内部タイミングを作成することを特徴とするAFE集積回路。

43. アナログ・デジタルインターフェースであるAFE (Analog Front End) 回路と、AFE回路のアナログ入出力回路とデジタル入出力回路との間を絶縁分離する容量性絶縁バリヤを有する絶縁カプラと、を備え、アナログ入出力回路側及びデジタル入出力回路側にそれぞれ
20置いた一組のレジスタと絶縁カプラとを制御レジスタ手段とすることを特徴とするAFE集積回路。

44. アナログ・デジタルインターフェースであるAFE (Analog Front End) 回路と、AFE回路のアナログ入出力回路とデジタル入出力回路との間を絶縁分離する容量性絶縁バリヤを有する絶縁カプラと、
25を備え、アナログ入出力回路側及びデジタル入出力回路側にそれぞれ置いた一組のレジスタとモノリシック絶縁カプラとを汎用入出力手段とすることを特徴とするAFE集積回路。

45. DAA手段, AFE (Analog Front End) 手段, 変調復調手段, 伝送制御手段, 及び回線と応用制御手段との間の絶縁手段から成り、絶縁手段を容量性絶縁バリヤを備える絶縁カプラとすることを特徴とするモデム装置。
- 5 46. DAA手段, AFE (Analog Front End) 手段, インターフェイス手段及び、回線と応用制御手段との間の絶縁手段から成り、絶縁手段を容量性絶縁バリヤを備える絶縁カプラとすることを特徴とするモデム装置。
47. 請求項 4 5 あるいは請求項 4 6 のモデム装置において、AFE 手段
10 手段に変調復調手段を内蔵したことを特徴とするモデム装置。
48. 請求項 4 5 あるいは請求項 4 6 のモデム装置において、AFE 手段に複数の絶縁カプラ及び変調復調手段を内蔵したことを特徴とするモデム装置。
49. 請求項 4 5 あるいは請求項 4 6 のモデム装置において、モデム部
15 と応用制御手段との間をシリアルバス接続する手段として、モデム部と応用制御手段の双方にシリアルバス接続ハード及びシリアルバス伝送ソフトから成るインターフェイス手段を用いることを特徴とするモデム装置。
50. 請求項 4 5 あるいは請求項 4 6 のモデム装置と、モデム装置に接続
20 される応用制御手段と、からなるシステム。
51. 少なくとも、ネットワークコントロール及び応用回路手段, トラランシーバ手段, ネットワークコントロール手段及び応用回路手段とトラランシーバ手段との間の絶縁手段, 及び電源レギュレータ手段と、を含む複数のステーションと、各ステーションの間を接続するネットワーク
25 手段から成り、絶縁手段が容量性絶縁バリヤを有する絶縁カプラであることを特徴とする通信装置。
52. 請求項 5 1 の通信装置において、絶縁カプラと、ネットワークコ

ントロール及び応用回路手段あるいはトランシーバ手段と、あるいはこれら両方と、を1つの半導体チップに集積化したことを特徴とする通信装置。

5

10

15

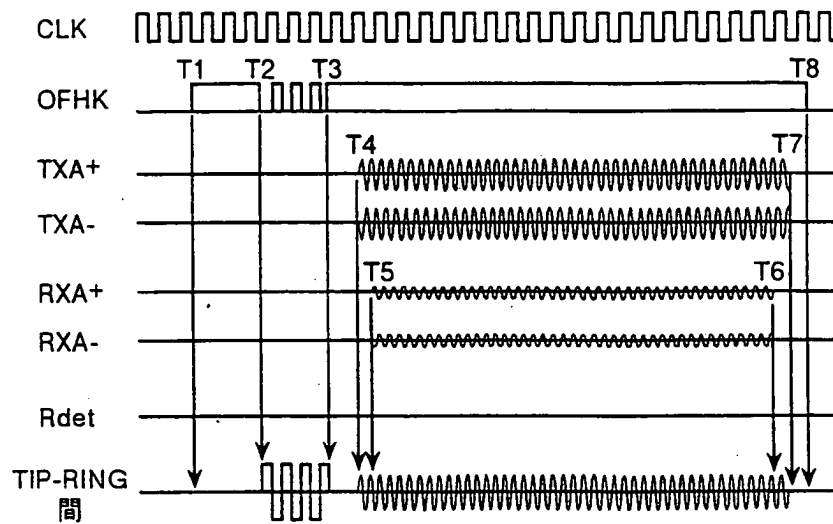
20

25

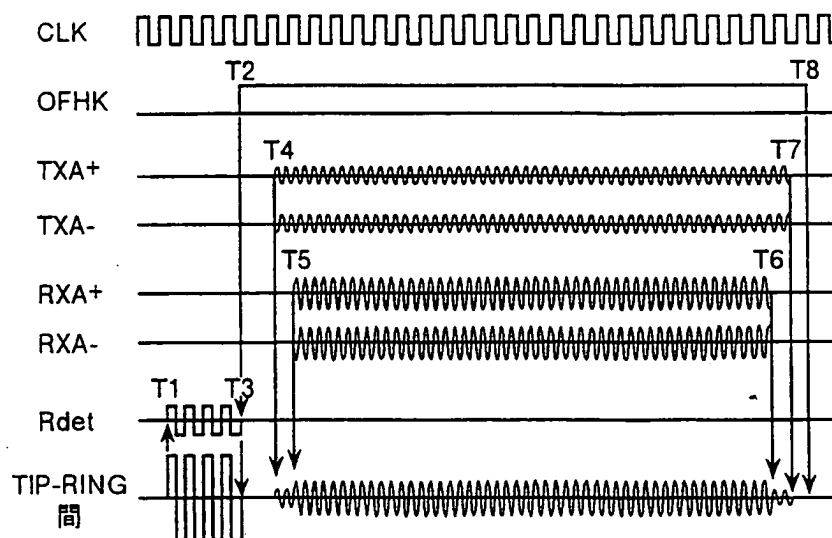
2 / 19

第 2 図

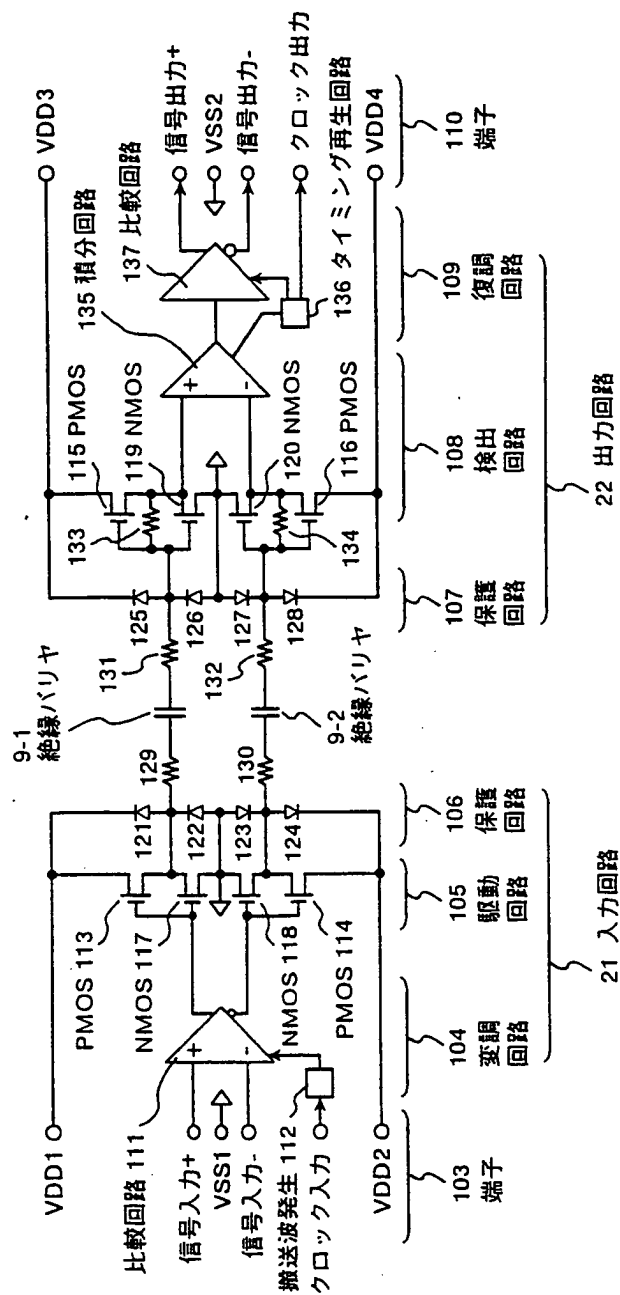
(a) 送信時の動作



(b) 受信時の動作

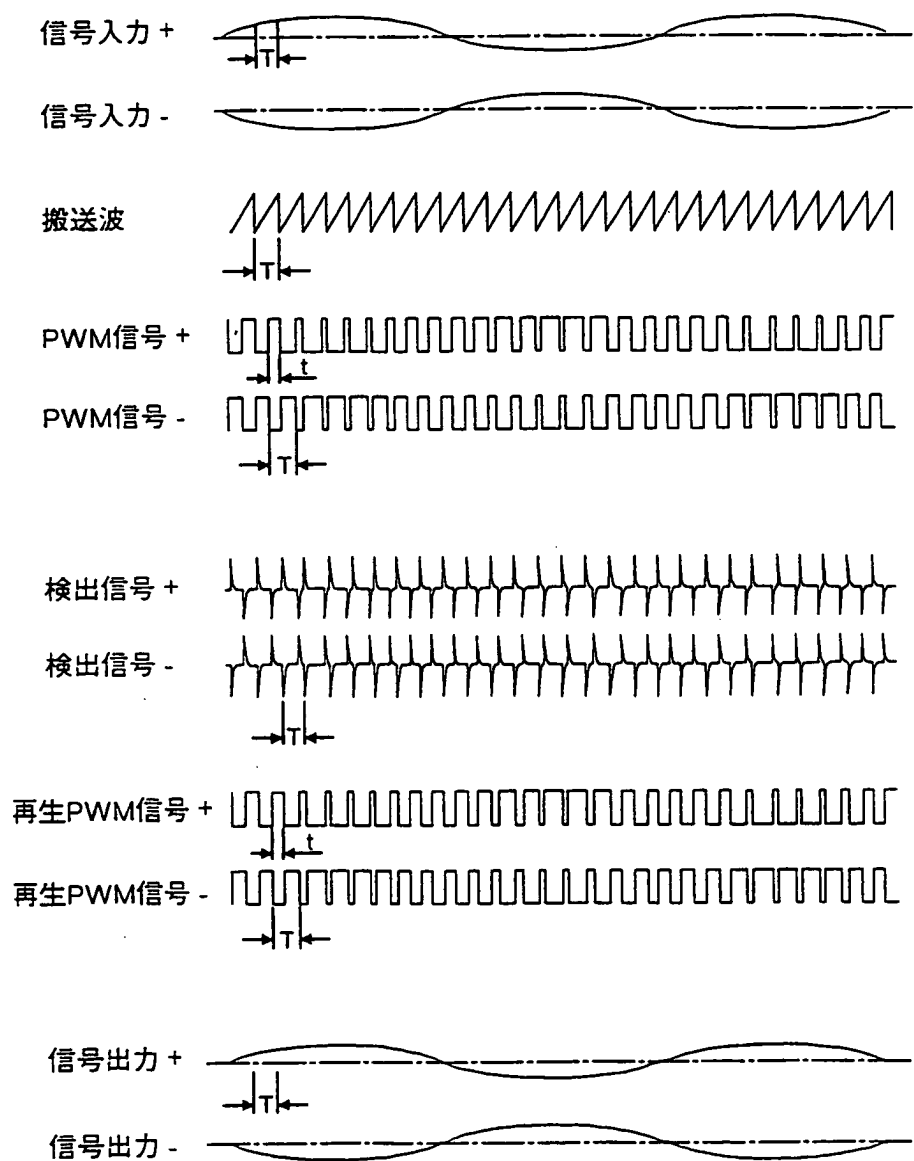


第3図



4 / 19

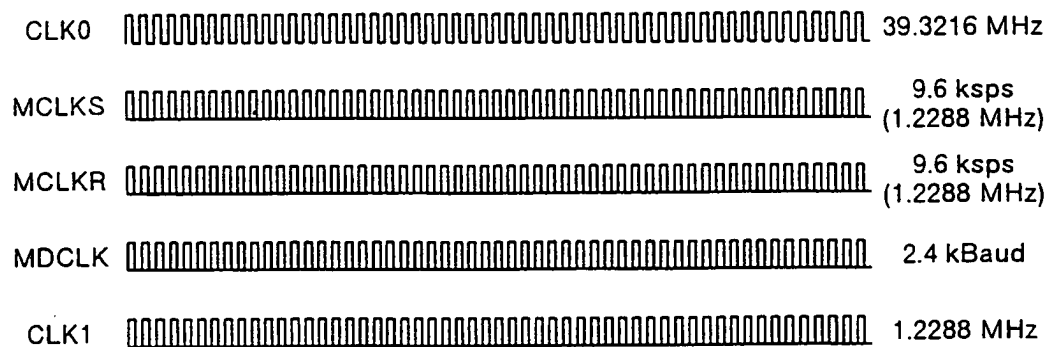
第4図



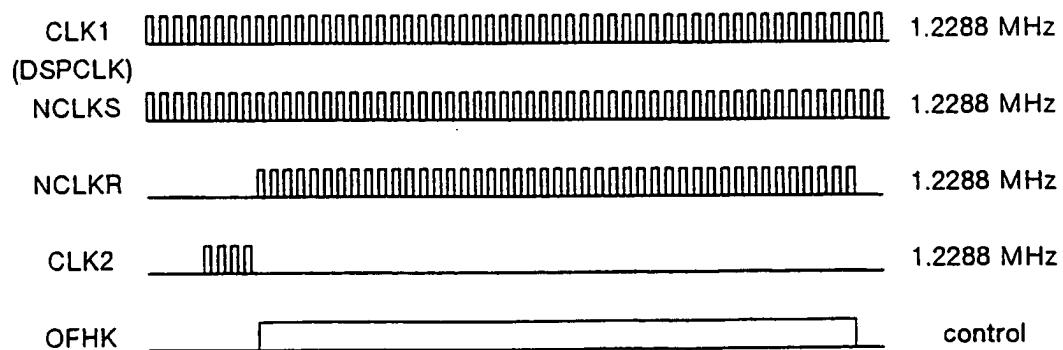
5 / 19

第5図

(a) モデム信号処理部分



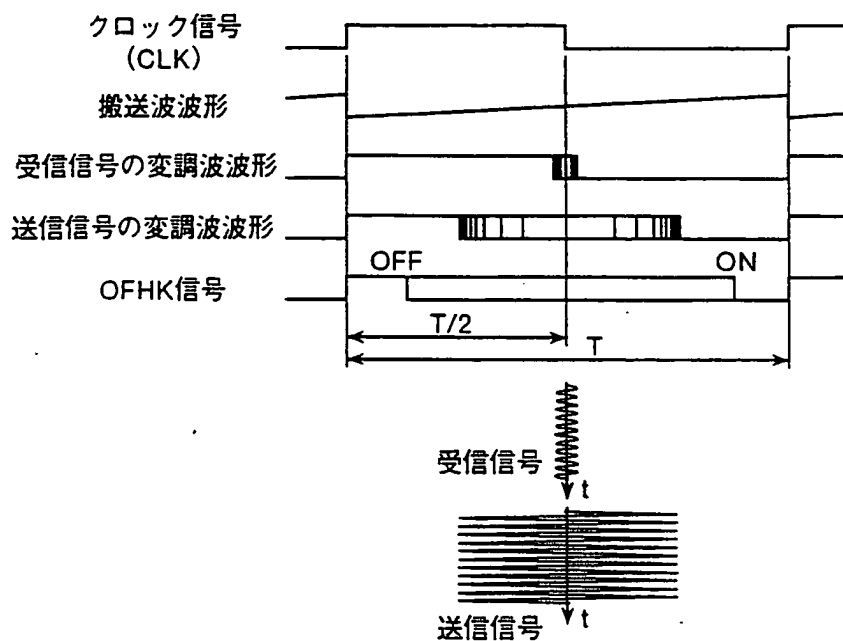
(b) 回線インターフェイス部分



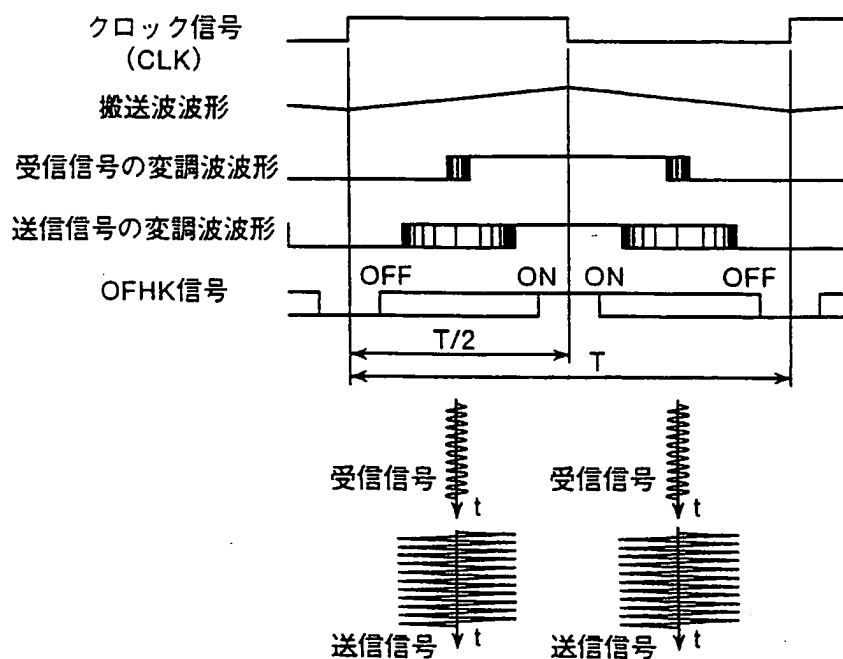
6 / 19

第6図

(a) 鋸波形搬送波PWMのタイミング

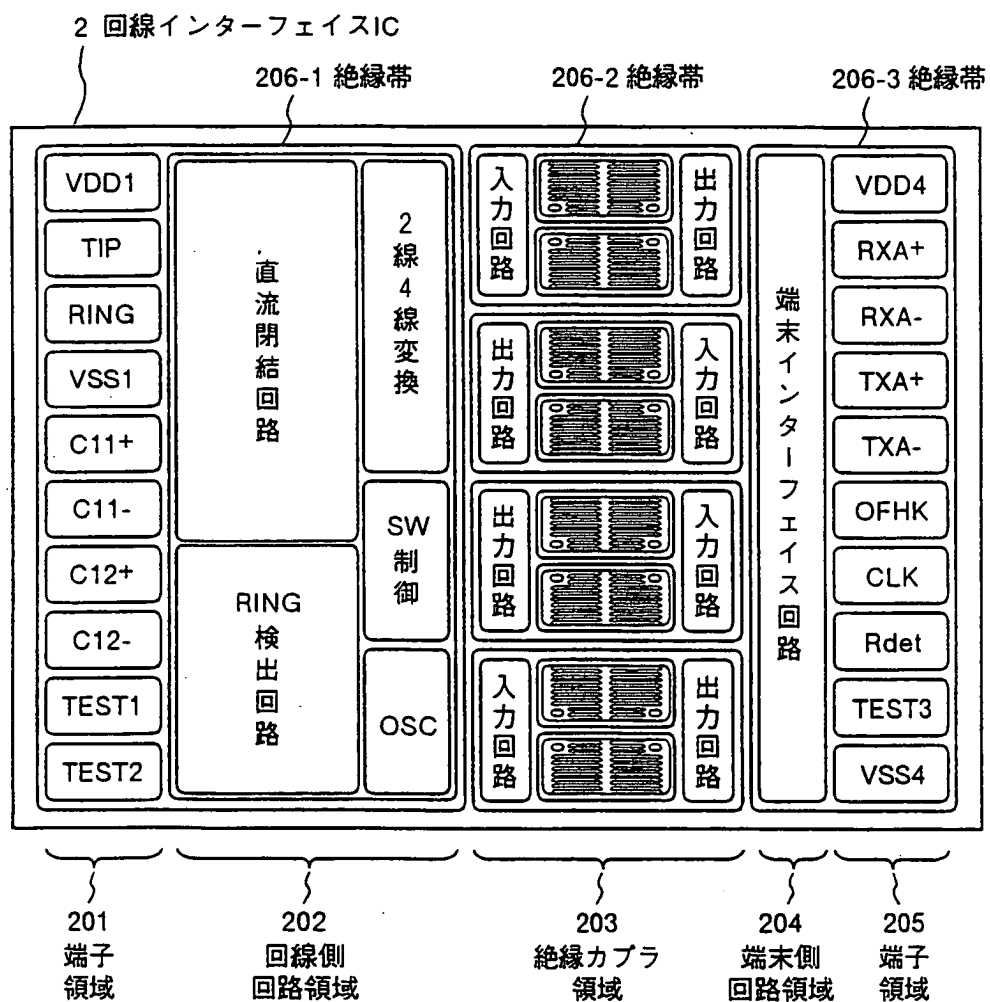


(b) 対称波形搬送波PWMのタイミング

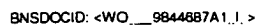
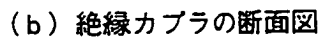


7/19

第7図



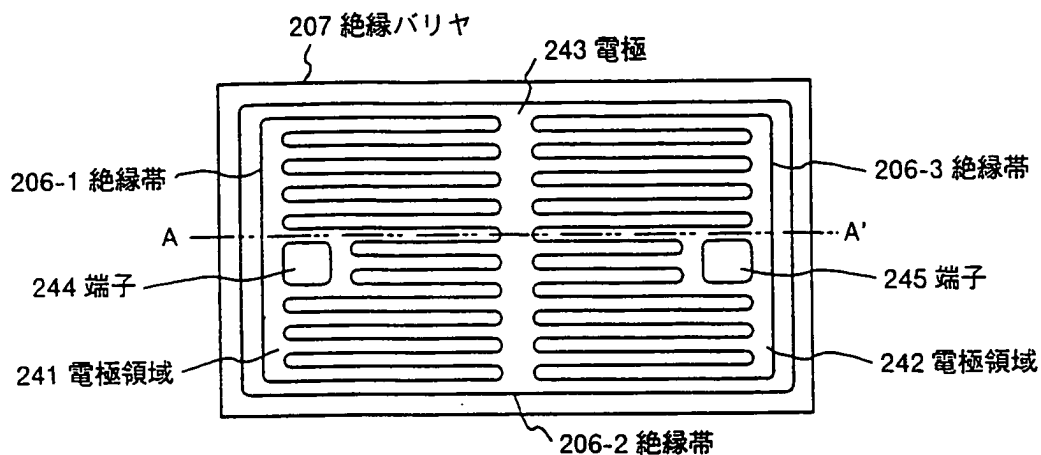
203 絶縁カブラ領域



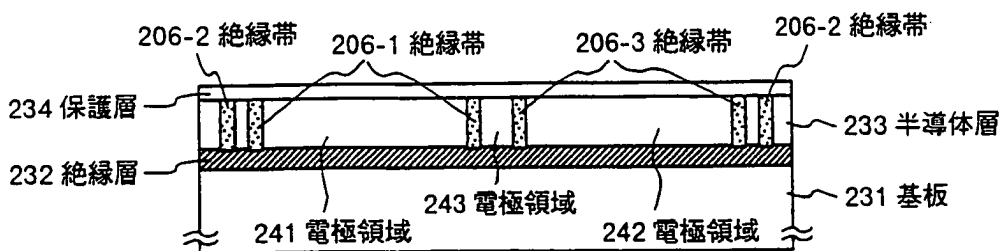
9 / 19

第9図

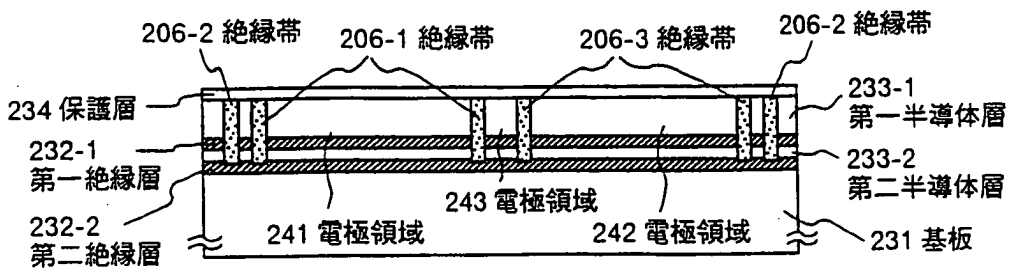
(a) 平面図



(b) 内層1層タイプの (A-A') 断面図

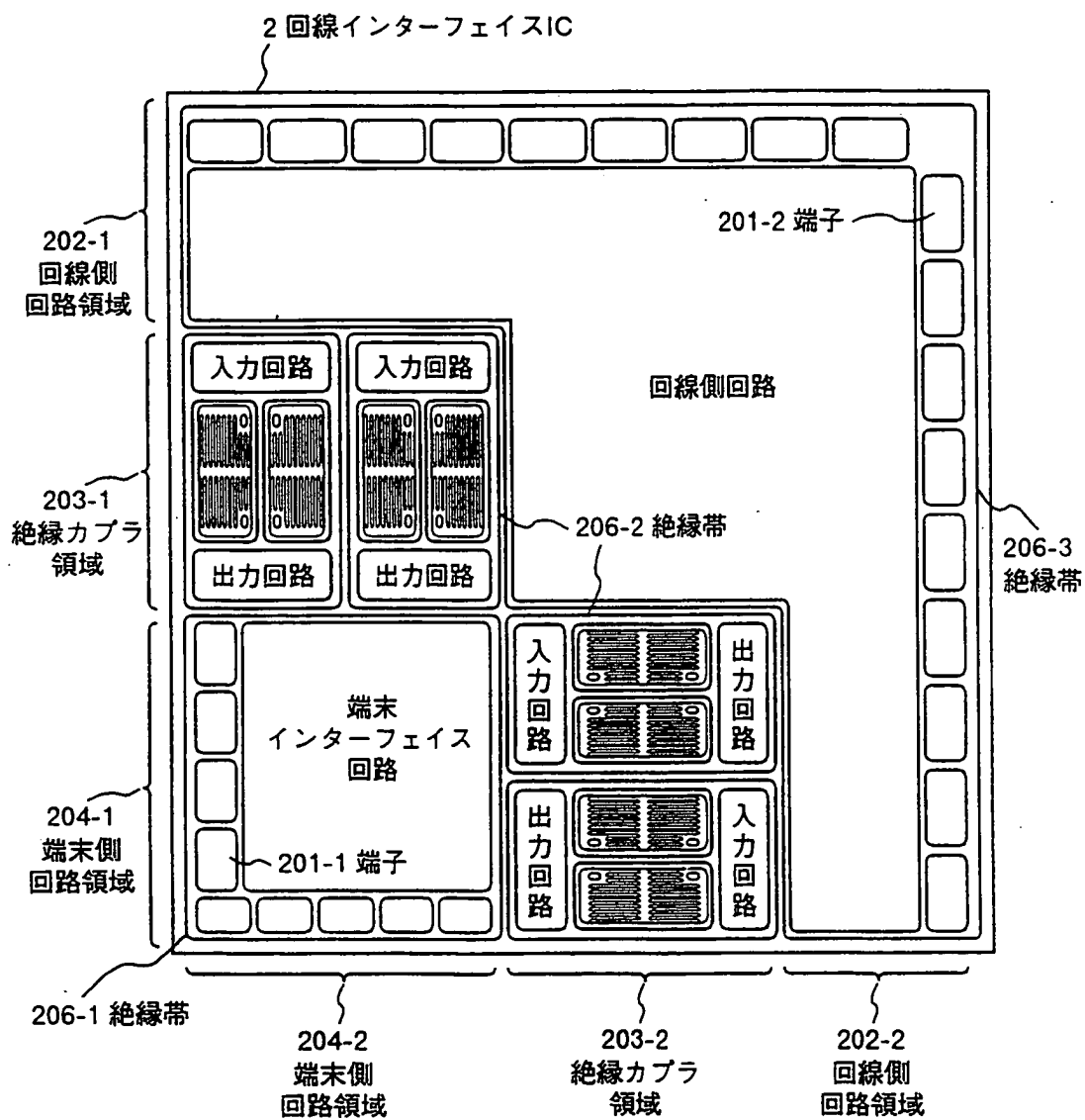


(c) 内層2層タイプの (A-A') 断面図



10/19

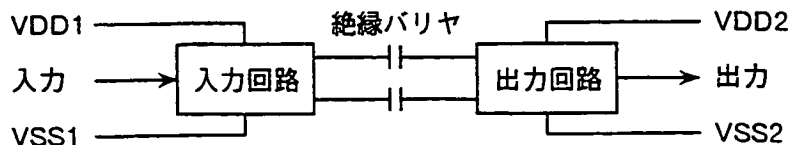
第 10 図



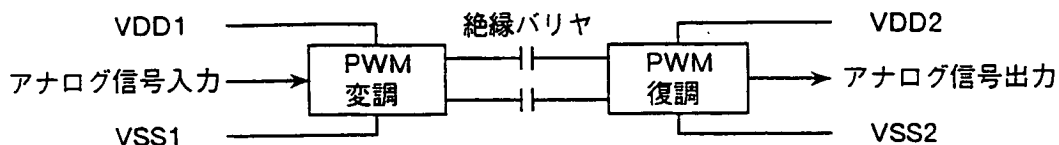
11 / 19

第11図

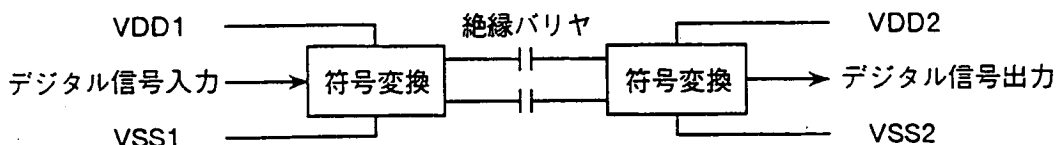
(a) 絶縁カプラ



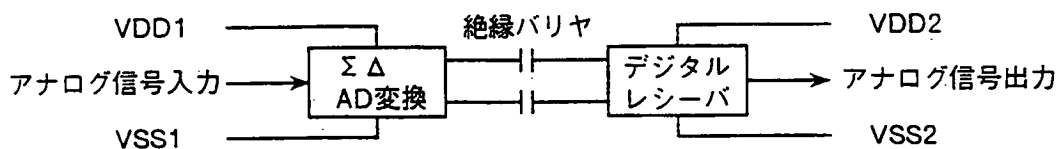
(b) PWM伝送方式



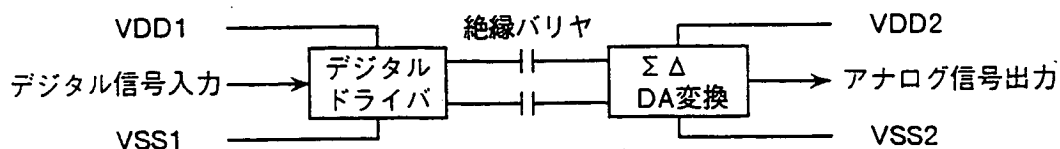
(c) デジタル伝送



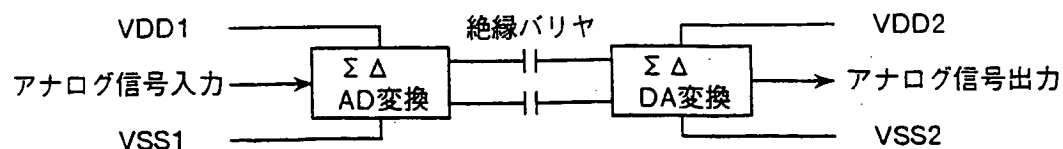
(d) AD変換



(e) DA変換

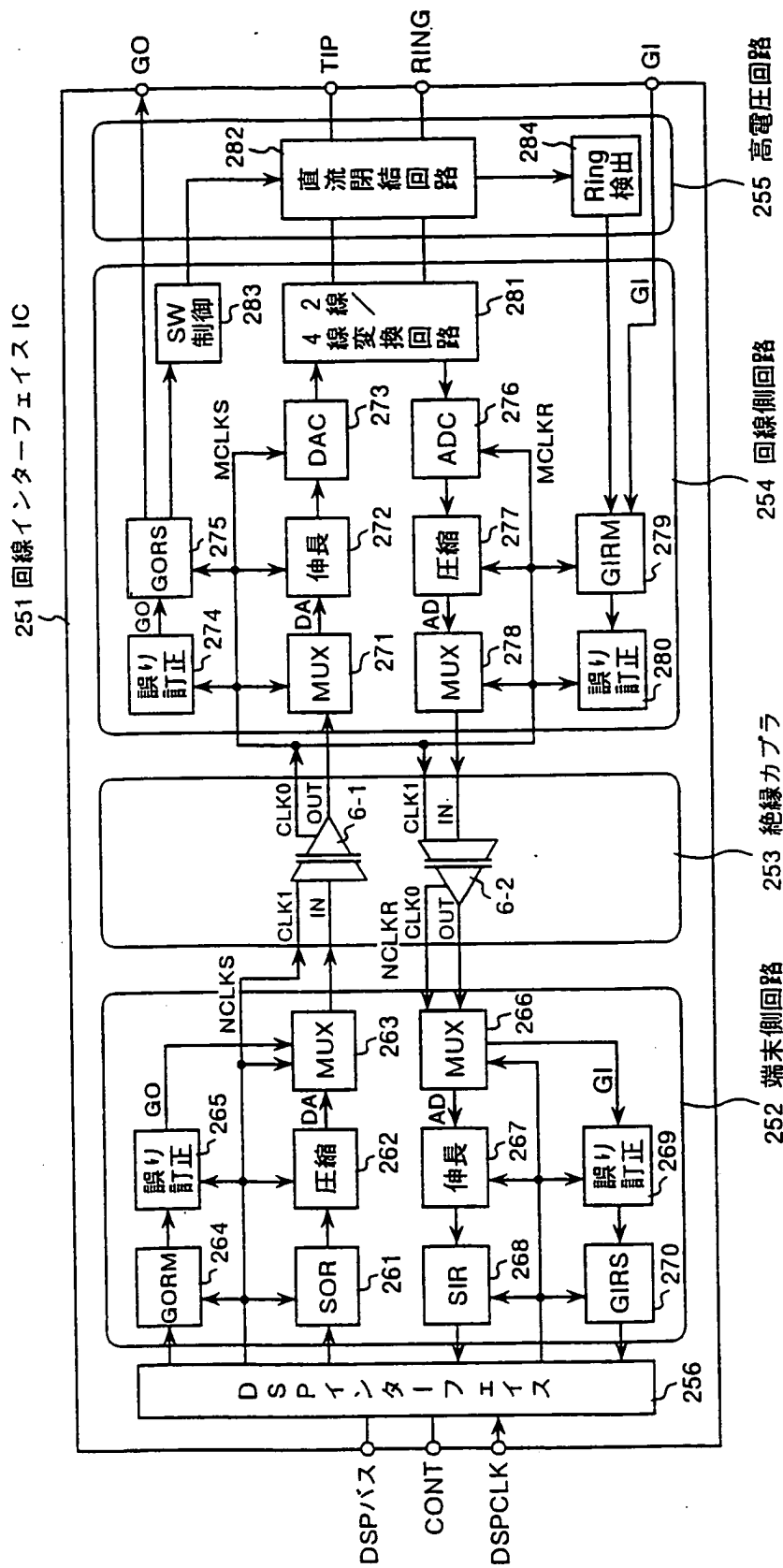


(f) デジタル伝送



12/19

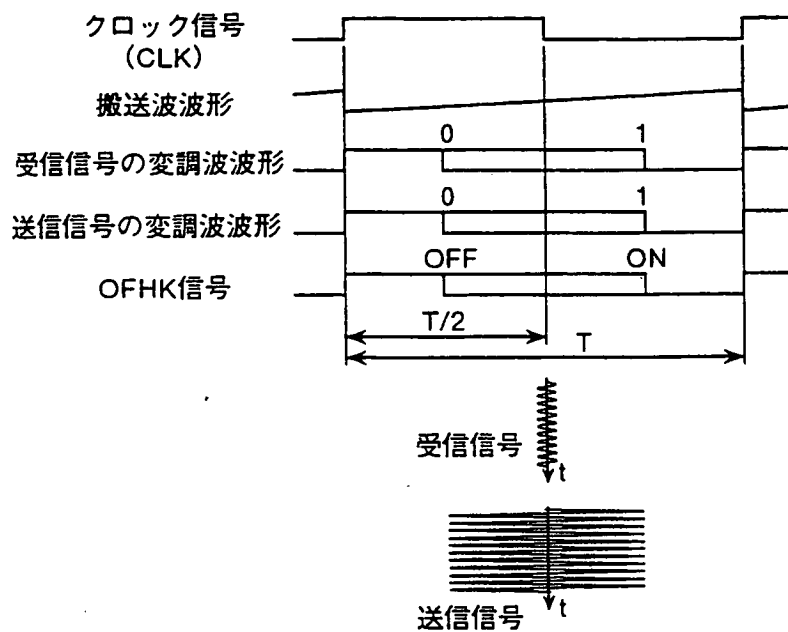
第12図



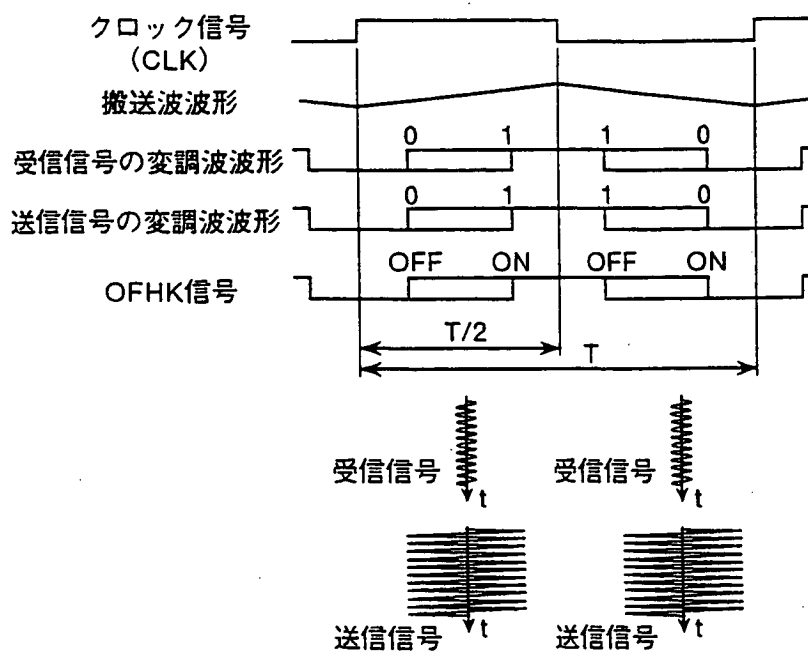
13/19

第13図

(a) 鋸波形搬送波PWMのタイミング

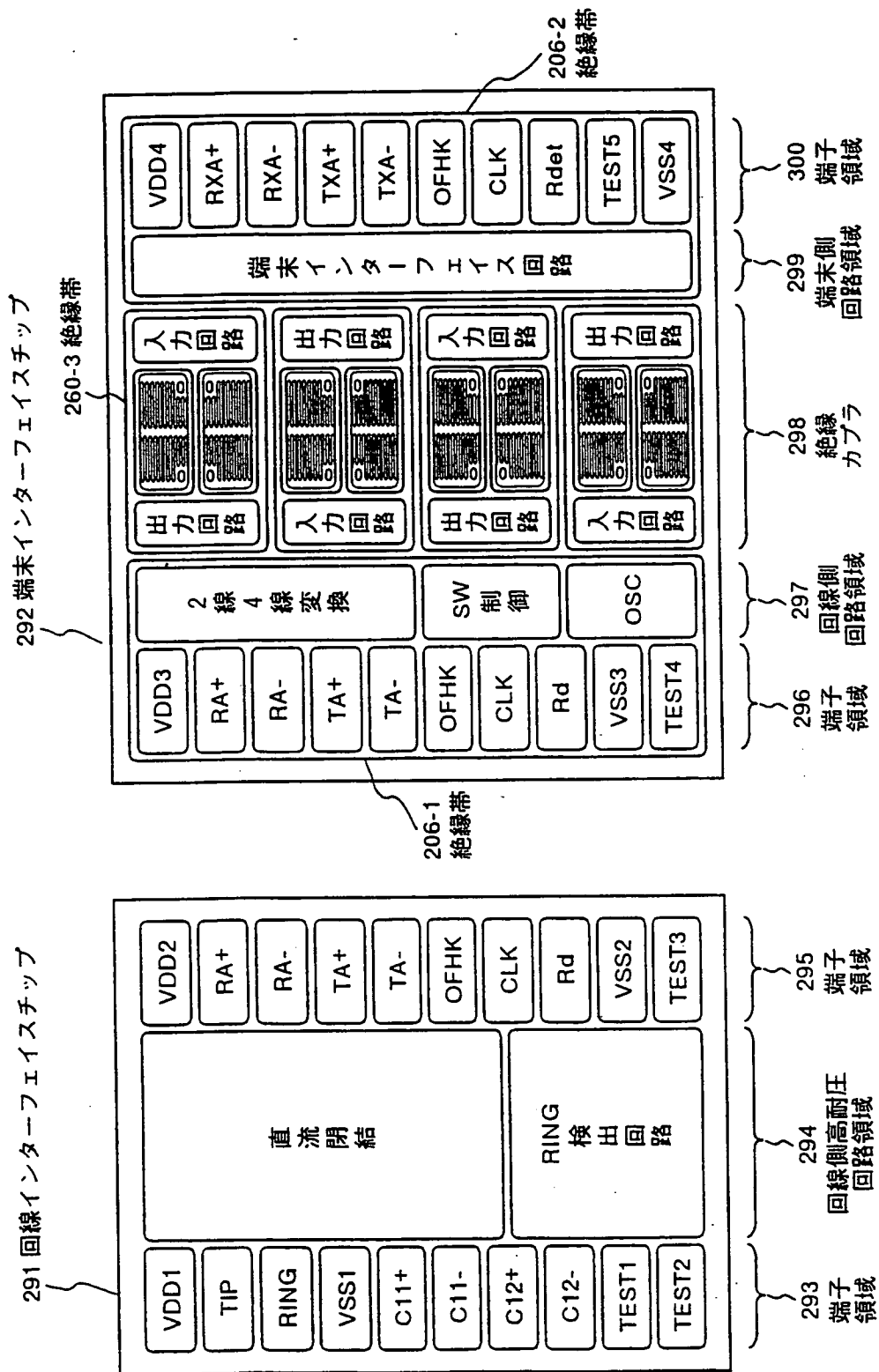


(b) 対称波形搬送波PWMのタイミング



14/19

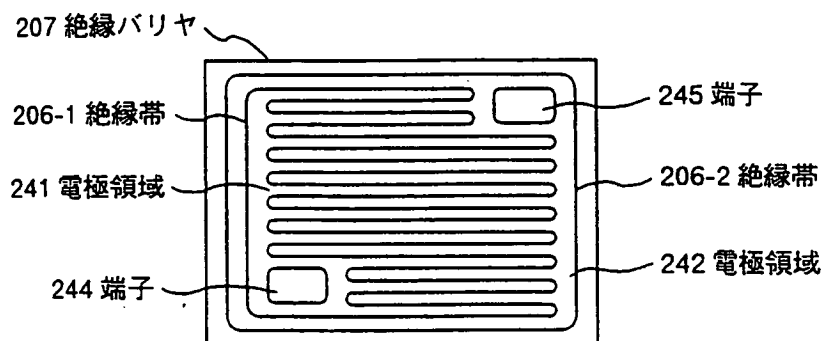
第14図



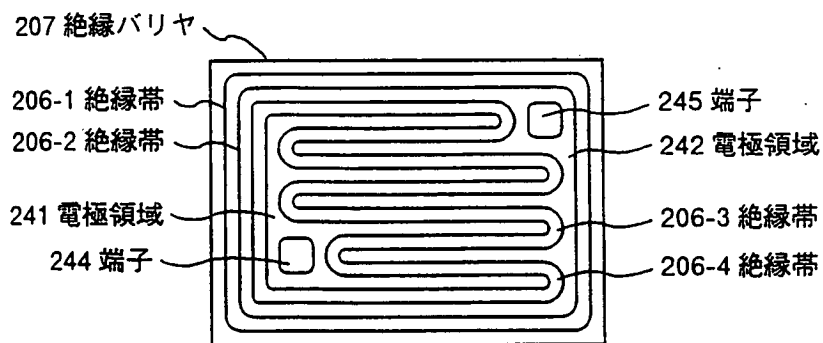
15/19

第15図

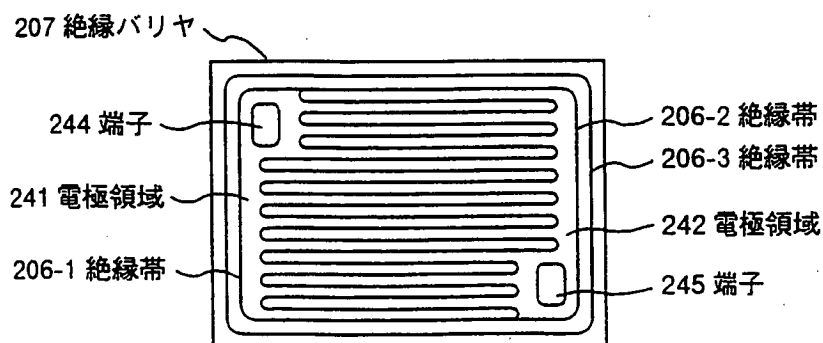
(a) 1重絶縁



(b) 2重絶縁

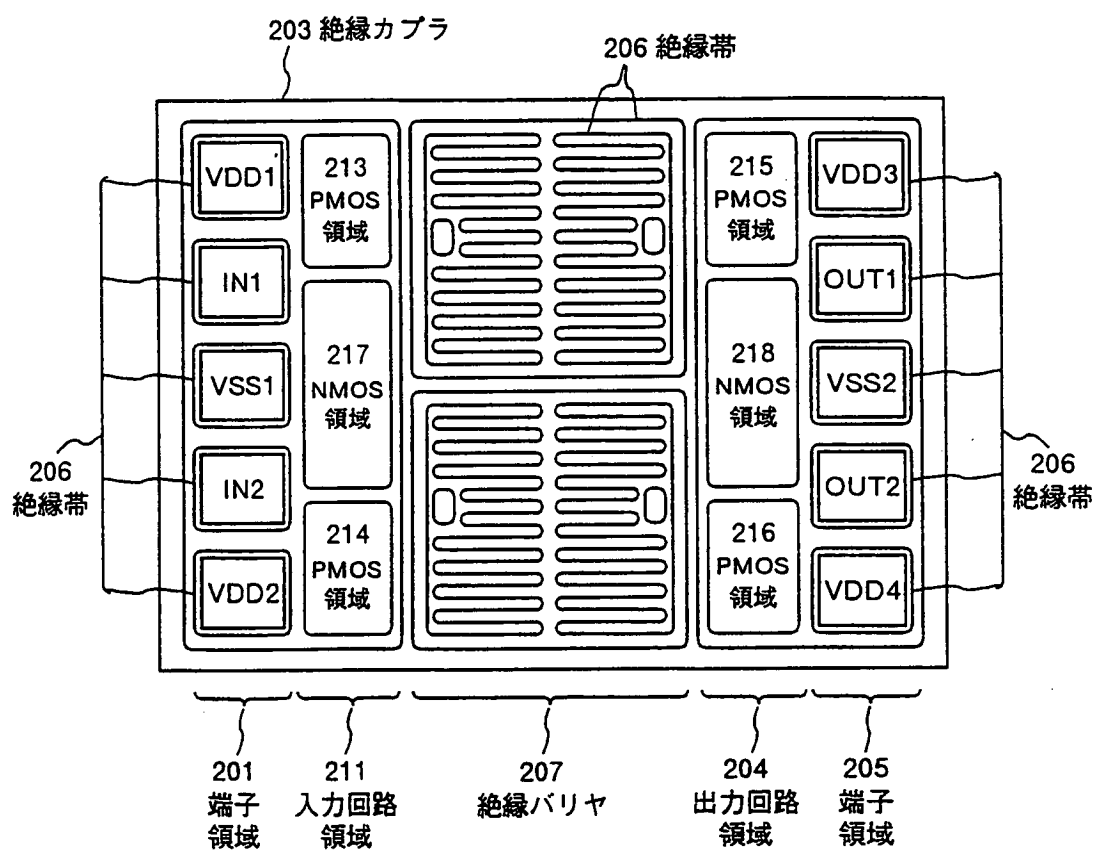


(c) (a) の変形例



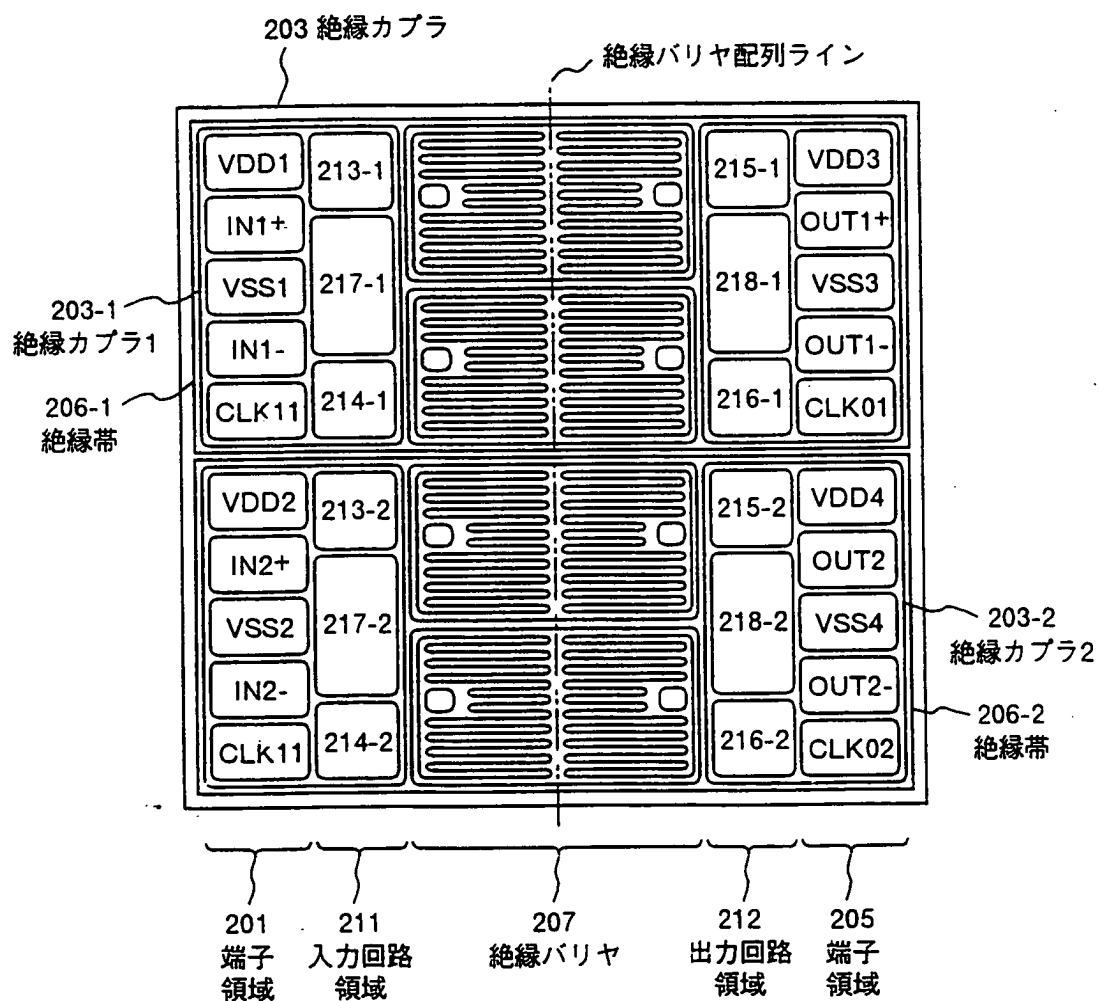
16/19

第16図



17/19

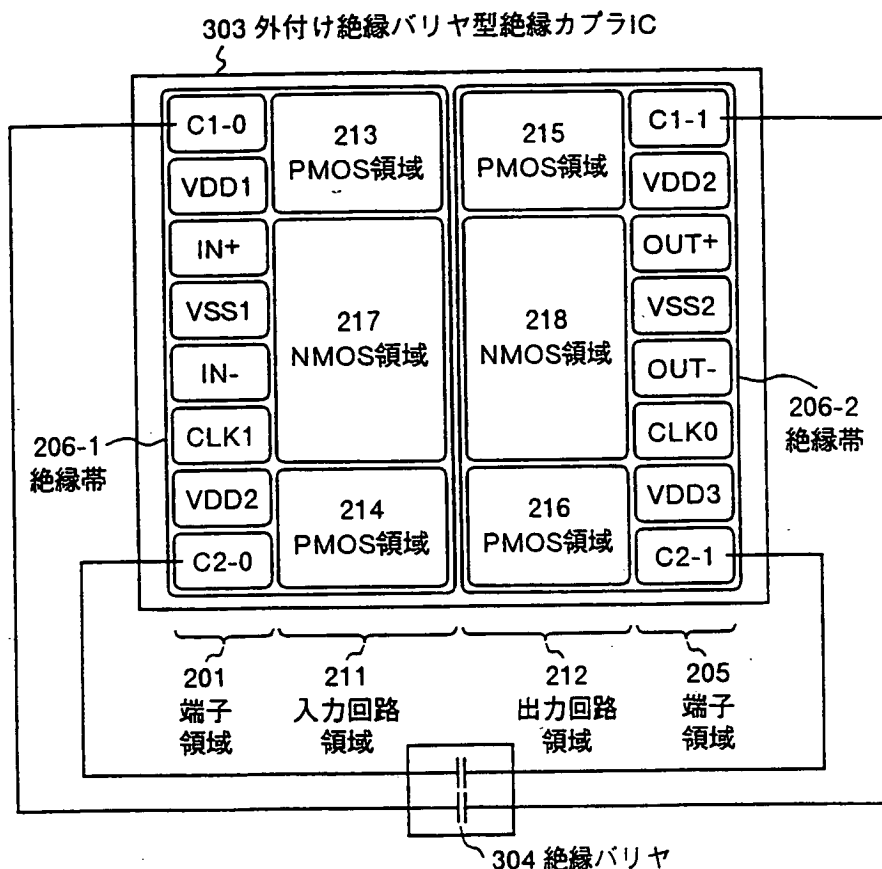
第17図



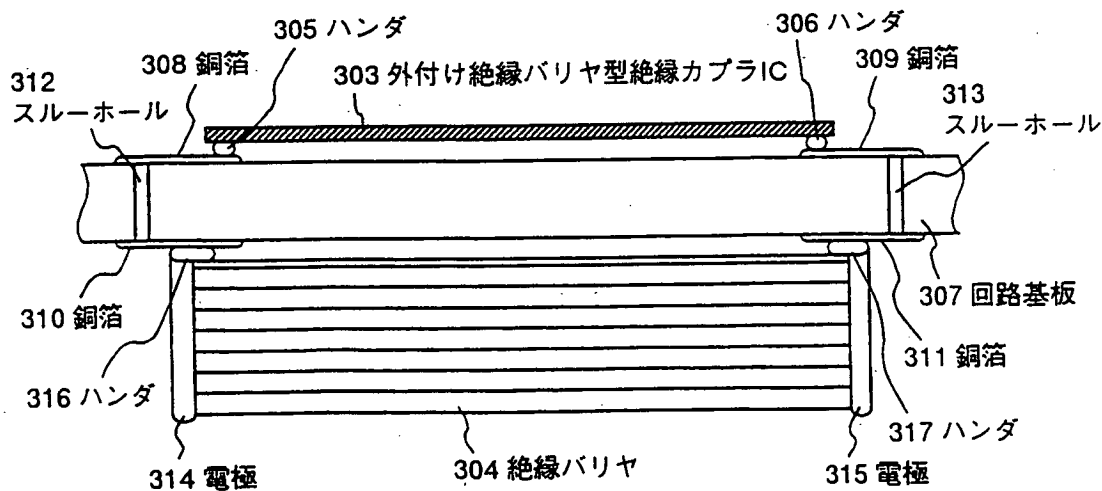
18 / 19

第18図

(a) チップレイアウト概要

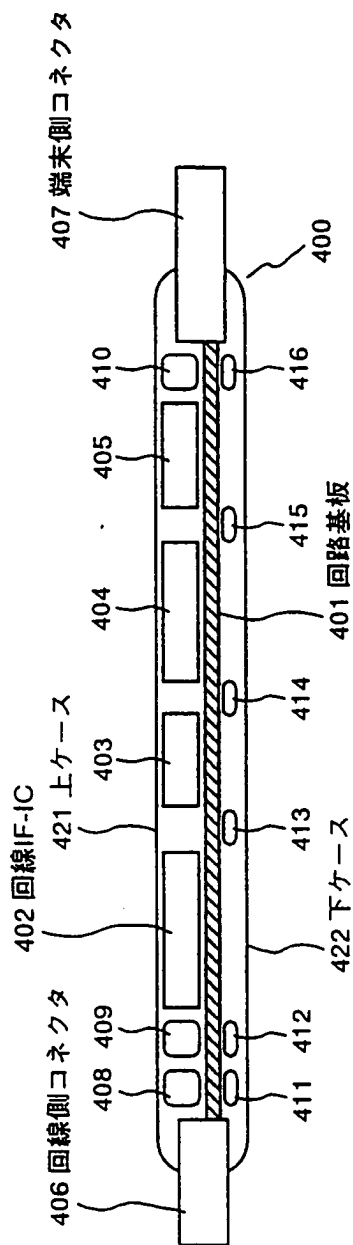


(b) 回路基板実装断面図

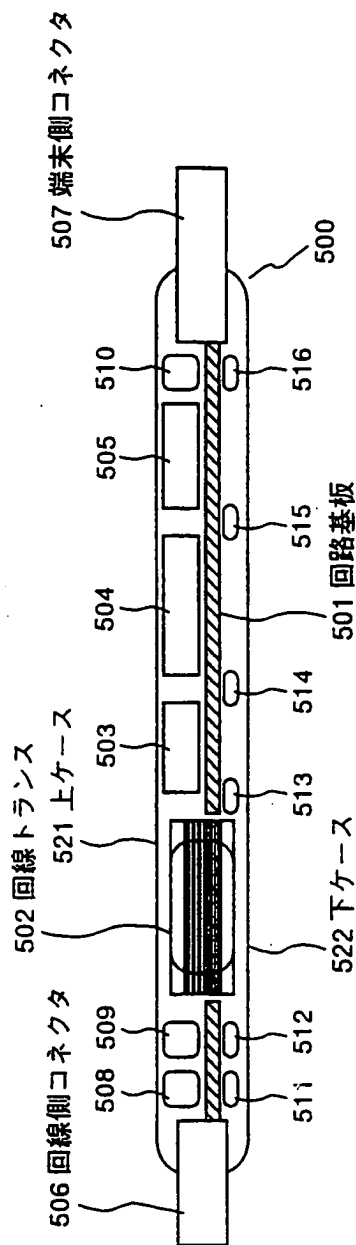


第19図

(a) 本発明の実施例の構造



(b) 従来のモデム装置の構造



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/01431

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁶ H04L25/02, H04M11/00, H01L27/12

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁶ H04L25/02, H04M11/00, H01L27/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926-1998

Kokai Jitsuyo Shinan Koho 1971-1998

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP, 6-205131, A (Philips Electronics N.V.), July 22, 1994 (22. 07. 94) & US, A, 5504807 & EP, A1, 593116	1-11, 13-16, 39-41, 43-52 12, 17-38, 42
Y A	JP, 6-85963, A (Rockwell International Corp.), March 25, 1994 (25. 03. 94) & US, A, 5315651 & EP, B1, 576883	1-11, 13-16, 39-41, 43-52 12, 17-38, 42
Y A	JP, 55-46594, A (Siemens AG.), April 1, 1980 (01. 04. 80) & US, A, 4339668	1-10, 14-23, 25-33, 35-41 24, 34, 42-52
Y A	JP, 2-23664, A (Seiko Epson Corp.), January 25, 1990 (25. 01. 90) (Family: none)	1-10, 14-23, 25-33, 35-41 24, 34, 42-52
Y A	JP, 7-235638, A (Toshiba Corp.), September 5, 1995 (05. 09. 95) (Family: none)	1-10, 14-23, 25-33, 35-41 24, 34, 42-52

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
June 23, 1998 (23. 06. 98)

Date of mailing of the international search report
July 7, 1998 (07. 07. 98)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/01431

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP, 7-94679, A (Fujitsu Ltd.), April 7, 1995 (07. 04. 95) & FR, A1, 2710454	1-10, 14-23, 25-33, 35-41 24, 34, 42-52
Y A	JP, 8-335684, A (Toshiba Corp.), December 17, 1996 (17. 12. 96) (Family: none)	20-23, 25-28 31-33, 35-38 24, 29, 30, 34
Y A	JP, 7-297273, A (Hitachi, Ltd.), November 10, 1995 (10. 11. 95) (Family: none)	25, 28 24
Y A	JP, 57-20059, A (Matsushita Electric Industrial Co., Ltd.), February 2, 1982 (02. 02. 82) (Family: none)	20-23, 25-33, 35-38 1-19, 24, 34, 39-52
Y	JP, 7-74611, A (Fujitsu Ltd.), March 17, 1995 (17. 03. 95) (Family: none)	26
Y	JP, 55-86144, A (ULSI Research Technology Association), June 28, 1980 (28. 06. 80) (Family: none)	37, 38
Y	JP, 63-107358, A (NEC Corp.), May 12, 1988 (12. 05. 88) (Family: none)	7-8, 43-44
Y A	JP, 6-284155, A (Yamaha Corp.), October 7, 1994 (07. 10. 94) (Family: none)	9, 11, 41 12, 42
Y	JP, 8-51493, A (Fujitsu Ltd.), February 20, 1996 (20. 02. 96) (Family: none)	10, 13
A	JP, 7-154503, A (Toshiba Corp.), June 16, 1995 (16. 06. 95) (Family: none)	1-16, 39-52

国際調査報告

国際出願番号 PCT/J P 98/01431

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int Cl⁸ H04L25/02, H04M11/00, H01L27/12

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int Cl⁸ H04L25/02, H04M11/00, H01L27/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1998年
日本国公開実用新案公報 1971-1998年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	J P, 6-205131, A (フィリップス エレクトロニクス ネムローゼ フェンノートシャップ) 22. 7月. 1994 (22. 07. 94) & US, A, 5504807 & EP, A1, 593116	1-11, 13-16, 39-41, 43-52 12, 17-38, 42
Y A	J P, 6-85963, A (ロックウェル・インターナショナル・ コーポレーション) 25. 3月. 1994 (25. 03. 94) & US, A, 5315651 & EP, B1, 576883	1-11, 13-16, 39-41, 43-52 12, 17-38, 42
Y	J P, 55-46594, A (シーメンス・アクチエンゲゼルシャ フト) 1. 4月. 1980 (01. 04. 80)	1-10, 14-23, 25-33, 35-41

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリ

- 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 先行文献ではあるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

23. 06. 98

国際調査報告の発送日

07.07.98

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

衣嶋 文彦

5 K

9199

電話番号 03-3581-1101 内線 3556

様式PCT/ISA/210 (第2ページ) (1992年7月)

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	& US, A, 4 3 3 9 6 6 8	24, 34, 42-52
Y A	J P, 2-2 3 6 6 4, A (セイコーエプソン株式会社) 25. 1月. 1990 (25. 01. 90) (ファミリーなし)	1-10, 14-23, 25-33, 35-41 24, 34, 42-52
Y A	J P, 7-2 3 5 6 3 8, A (株式会社東芝) 5. 9月. 1995 (05. 09. 95) (ファミリーなし)	1-10, 14-23, 25-33, 35-41 24, 34, 42-52
Y A	J P, 7-9 4 6 7 9, A (富士通株式会社) 7. 4月. 1995 (07. 04. 95) & FR, A1, 2 7 1 0 4 5 4	1-10, 14-23, 25-33, 35-41 24, 34, 42-52
Y A	J P, 8-3 3 5 6 8 4, A (株式会社東芝) 17. 12月. 1996 (17. 12. 96) (ファミリーなし)	20-23, 25-28 31-33, 35-38 24, 29, 30, 34
Y A	J P, 7-2 9 7 2 7 3, A (株式会社日立製作所) 10. 11月. 1995 (10. 11. 95) (ファミリーなし)	25, 28 24
Y A	J P, 5 7-2 0 0 5 9, A (松下電器産業株式会社) 2. 2月. 1982 (02. 02. 82) (ファミリーなし)	20-23, 25-33, 35-38 1-19, 24, 34, 39-52
Y	J P, 7-7 4 6 1 1, A (富士通株式会社) 17. 3月. 1995 (17. 03. 95) (ファミリーなし)	26
Y	J P, 5 5-8 6 1 4 4, A (超エル・エス・アイ技術研究組合) 28. 6月. 1980 (28. 06. 80) (ファミリーなし)	37, 38
Y	J P, 6 3-1 0 7 3 5 8, A (日本電気株式会社) 12. 5月. 1988 (12. 05. 88) (ファミリーなし)	7-8, 43-44
Y A	J P, 6-2 8 4 1 5 5, A (ヤマハ株式会社) 7. 10月. 1994 (07. 10. 94) (ファミリーなし)	9, 11, 41 12, 42
Y	J P, 8-5 1 4 9 3, A (富士通株式会社) 20. 2月. 1996 (20. 02. 96) (ファミリーなし)	10, 13
A	J P, 7-1 5 4 5 0 3, A (株式会社東芝) 16. 6月. 1995 (16. 06. 95) (ファミリーなし)	1-16, 39-52